



CERTIFIED COPY OF
PRIORITY DOCUMENT

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日

Date of Application:

1 9 9 9 年 5 月 1 1 日

出 願 番 号

Application Number:

平成 1 1 年 特 許 願 第 1 2 9 5 3 3 号

出 願 人

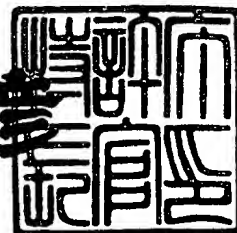
Applicant (s):

シャープ株式会社

2 0 0 0 年 3 月 3 日

特 許 庁 長 官
Commissioner,
Patent Office

近 藤 隆 彦



【書類名】 特許願

【整理番号】 99-01360

【提出日】 平成11年 5月11日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 5/66

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 久保田 靖

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 鷺尾 一

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 海瀬 泰佳

【特許出願人】

 【識別番号】 000005049

 【氏名又は名称】 シャープ株式会社

 【電話番号】 06-6621-1221

【代理人】

 【識別番号】 100103296

 【弁理士】

 【氏名又は名称】 小池 隆彌

 【電話番号】 06-6621-1221

 【連絡先】 電話 0 4 3 - 2 9 9 - 8 4 6 6 知的財産権本部 東京
知的財産権部

【書類名】 明細書

【発明の名称】 論理回路及び画像表示装置

【特許請求の範囲】

【請求項 1】 複数の入力信号に基づいて論理演算を行う CMOS 論理回路において、

前記入力信号のうちの少なくとも一部は、その振幅が前記 CMOS 論理回路の駆動電源よりも小さいことを特徴とする論理回路。

【請求項 2】 前記論理回路は、2つの電流経路のそれぞれに n チャネル型トランジスタからなる回路部分及び p チャネル型トランジスタからなる回路部分が設けられ、その何れか一方のチャネル型トランジスタからなる回路部分において、

一方の電流経路には、前記論理回路と同様の論理演算結果を出力する CMOS ロジック回路の n チャネル型トランジスタからなる回路部分と同一構成の回路が設けられ、

他方の電流経路には、前記論理回路と同様の論理演算結果を出力する CMOS ロジック回路の p チャネル型トランジスタからなる回路部分と同一構成の回路が設けられ、

前記論理回路の他方のチャネル型トランジスタからなる回路部分では、前記 2つの電流経路にそれぞれ設けられたトランジスタのゲート電極が、互いのドレイン電極に相互に接続されることを特徴とする請求項 1 に記載の論理回路。

【請求項 3】 前記論理回路は、2つの電流経路のそれぞれに n チャネル型トランジスタからなる回路部分及び p チャネル型トランジスタからなる回路部分が設けられ、その何れか一方のチャネル型トランジスタからなる回路部分において、

一方の電流経路には、前記論理回路と同様の論理演算結果を出力する CMOS ロジック回路の n チャネル型トランジスタからなる回路部分と同一構成の回路が設けられ、

他方の電流経路には、前記論理回路と同様の論理演算結果を出力する CMOS ロジック回路の p チャネル型トランジスタからなる回路部分と同一構成の回路が

【先の出願に基づく優先権主張】

【出願番号】 平成11年特許願第 36778号

【出願日】 平成11年 2月16日

【手数料の表示】

【予納台帳番号】 012313

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9703283

【ブルーフの要否】 要

設けられ、

前記論理回路の他方のチャネル型トランジスタからなる回路部分では、前記 2 つの電流経路のそれぞれにおいて、前記入力信号のうち、少なくとも一部がゲート電極に入力されるトランジスタが設けられ、

かつ、前記 2 つの電流経路のそれぞれの電源側に、ゲート電極が互いに他方の電流経路の出力部に接続されるトランジスタが設けられていることを特徴とする請求項 1 に記載の論理回路。

【請求項 4】 前記論理回路は、2 つの電流経路のそれぞれに n チャネル型トランジスタからなる回路部分及び p チャネル型トランジスタからなる回路部分が設けられ、その何れか一方のチャネル型トランジスタからなる回路部分において、

一方の電流経路には、前記論理回路と同様の論理演算結果を出力する CMOS ロジック回路の n チャネル型トランジスタからなる回路部分と同一構成の回路が設けられ、

他方の電流経路には、前記論理回路と同様の論理演算結果を出力する CMOS ロジック回路の p チャネル型トランジスタからなる回路部分と同一構成の回路が設けられ、

前記論理回路の他方のチャネル型トランジスタからなる回路部分では、前記一方の電流経路に、前記論理回路と同様の論理演算結果を出力する CMOS ロジック回路の p チャネル型トランジスタからなる回路部分と同一構成の回路が設けられ、

前記他方の電流経路に、入力信号のうち、少なくとも一部がゲート電極に入力されるトランジスタが設けられ、前記論理回路と同様の論理演算結果を出力する CMOS ロジック回路の n チャネル型トランジスタからなる回路部分と同一構成の回路が設けられ、

かつ、前記 2 つの電流経路のそれぞれの電源側に、ゲート電極が互いに他方の電流経路の出力部に接続されるトランジスタが設けられていることを特徴とする請求項 1 に記載の論理回路。

【請求項 5】 前記複数の入力信号のうち、振幅が小さい方の信号は、前記

一方のチャンネル型の回路部分において、直列に接続されたトランジスタのうちの電源側に入力されていることを特徴とする請求項 1 乃至 4 の何れかに記載の論理回路。

【請求項 6】 互いのソース電極が第 1 の電極電位に接続され、互いのゲート電極が相手のドレイン電極に接続されると共に、それぞれ第 1 の出力端子及び第 2 の出力端子に接続される第 1 のトランジスタ及び第 2 のトランジスタと、

ゲート電極が第 1 の入力端子に接続され、ドレイン電極が第 2 の出力端子に接続される第 3 のトランジスタと、

ゲート電極が第 2 の入力端子に接続され、ドレイン電極が前記第 3 のトランジスタのソース電極に接続され、ソース電極が第 2 の電源電位に接続される第 4 のトランジスタと、

ゲート電極が第 3 の入力端子に接続され、ドレイン電極が前記第 1 の出力端子に接続され、ソース電極が前記第 2 の電源電位に接続される第 5 のトランジスタと、

ゲート電極が第 4 の入力端子に接続され、ドレイン電極が前記第 1 の出力端子に接続され、ソース電極が前記第 2 の電源電位に接続される第 6 のトランジスタと、を備え、

前記第 1 の入力端子及び前記第 3 の入力端子に入力される信号は、互いに逆位相であり、前記第 2 の入力端子及び前記第 4 の入力端子に入力される信号は、互いに逆位相であり、

前記第 1 のトランジスタ及び前記第 2 のトランジスタは、その他のトランジスタとは異なるチャンネル型のトランジスタであることを特徴とする請求項 1 乃至 5 の何れかに記載の論理回路。

【請求項 7】 互いのソース電極が第 1 の電極電位に接続され、互いのゲート電極が相手のドレイン電極に接続されると共に、それぞれ第 1 の出力端子及び第 2 の出力端子に接続される第 1 のトランジスタ及び第 2 のトランジスタと、

ゲート電極が第 1 の入力端子に接続され、ドレイン電極が前記第 2 の出力端子に接続される第 3 のトランジスタと、

ゲート電極が第 2 の入力端子に接続され、ドレイン電極が前記第 3 のトランジ

スタのソース電極に接続され、ソース電極が第 2 の電源電位に接続される第 4 のトランジスタと、

ゲート電極が第 3 の入力端子に接続され、ドレイン電極が前記第 2 の出力端子に接続され、ソース電極が前記第 2 の電源電位に接続される第 5 のトランジスタと、

ゲート電極が第 4 の入力端子に接続され、ソース電極が前記第 2 の電源電位に接続される第 6 のトランジスタと、

ゲート電極が第 5 の入力端子に接続され、ソース電極が前記第 2 の電源電位に接続される第 7 のトランジスタと、

ゲート電極が第 6 の入力端子に接続され、ドレイン電極が前記第 1 の出力端子に接続され、ソース電極が前記第 6 のトランジスタ及び前記第 7 のトランジスタのドレイン電極に接続される第 8 のトランジスタと、を備え、

前記第 1 の入力端子及び前記第 4 の入力端子に入力される信号は、互いに逆位相であり、前記第 2 の入力端子及び前記第 5 の入力端子に入力される信号は、互いに逆位相であり、前記第 3 の入力端子及び前記第 6 の入力端子に入力される信号は、互いに逆位相であり、

前記第 1 のトランジスタ及び前記第 2 のトランジスタは、その他のトランジスタとは異なるチャネル型のトランジスタであることを特徴とする請求項 1 乃至 5 の何れかに記載の論理回路。

【請求項 8】 互いのソース電極が第 1 の電極電位に接続され、互いのゲート電極が相手のドレイン電極に接続されると共に、それぞれ第 1 の出力端子及び第 2 の出力端子に接続される第 1 のトランジスタ及び第 2 のトランジスタと、

ゲート電極が第 1 の入力端子に接続され、ドレイン電極が前記第 2 の出力端子に接続される第 3 のトランジスタと、

ゲート電極が第 2 の入力端子に接続され、ドレイン電極が前記第 3 のトランジスタのソース電極に接続され、ソース電極が第 2 の電源電位に接続される第 4 のトランジスタと、

ゲート電極が第 3 の入力端子に接続され、ドレイン電極が前記第 2 の出力端子に接続され、ソース電極が前記第 2 の電源電位に接続される第 5 のトランジスタ

と、

ゲート電極が第 4 の入力端子に接続され、ドレイン電極が前記第 1 の出力端子に接続される第 6 のトランジスタと、

ゲート電極が第 5 の入力端子に接続され、ドレイン電極が前記第 1 の出力端子に接続される第 7 のトランジスタと、

ゲート電極が第 6 の入力端子に接続され、ドレイン電極が前記第 6 のトランジスタ及び前記第 7 のトランジスタのソース電極に接続され、ソース電極が前記第 2 の電源電位に接続される第 8 のトランジスタと、を備え、

前記第 1 の入力端子及び前記第 4 の入力端子に入力される信号は、互いに逆位相であり、前記第 2 の入力端子及び前記第 5 の入力端子に入力される信号は、互いに逆位相であり、前記第 3 の入力端子及び前記第 6 の入力端子に入力される信号は、互いに逆位相であり、

前記第 1 のトランジスタ及び前記第 2 のトランジスタは、その他のトランジスタとは異なるチャネル型のトランジスタであることを特徴とする請求項 1 乃至 5 の何れかに記載の論理回路。

【請求項 9】 互いのソース電極が第 1 の電極電位に接続され、ゲート電極がそれぞれ第 1 の出力端子及び第 2 の出力端子に接続される第 1 のトランジスタ及び第 2 のトランジスタと、

ゲート電極が第 1 の入力端子に接続され、ソース電極が前記第 1 のトランジスタのドレイン電極に接続され、ドレイン電極が前記第 2 の出力端子に接続される第 3 のトランジスタと、

ゲート電極が第 2 の入力端子に接続され、ソース電極が前記第 2 のトランジスタのドレイン電極に接続され、ドレイン電極が前記第 1 の出力端子に接続される第 4 のトランジスタと、

ゲート電極が第 3 の入力端子に接続され、ドレイン電極が前記第 2 の出力端子に接続される第 5 のトランジスタと、

ゲート電極が前記第 1 の入力端子に接続され、ソース電極が第 2 の電源電位に接続され、ドレイン電極が前記第 5 のトランジスタのソース電極に接続される第 6 のトランジスタと、

ゲート電極が第4の入力端子に接続され、ソース電極が前記第2の電源電位に接続され、ドレイン電極が前記第1の出力端子に接続される第7のトランジスタと、

ゲート電極が前記第2の入力端子第5の入力端子に接続され、ドレイン電極が前記第1の出力端子に接続される第7のトランジスタと、

ゲート電極が前記第2の入力端子に接続され、ソース電極が前記第2の電源電位に接続され、ドレイン電極が前記第1の出力端子に接続される第8のトランジスタと、を備え、

前記第1の入力端子及び前記第2の入力端子に入力される信号は、互いに逆位相であり、前記第3の入力端子及び前記第4の入力端子に入力される信号は、互いに逆位相であり、前記第1乃至前記第4のトランジスタは、その他のトランジスタとは異なるチャネル型のトランジスタであることを特徴とする請求項1乃至5の何れかに記載の論理回路。

【請求項10】 互いのソース電極が第1の電極電位に接続され、ゲート電極がそれぞれ第1の出力端子及び第2の出力端子に接続される第1のトランジスタ及び第2のトランジスタと、

ゲート電極が第1の入力端子に接続され、ソース電極が前記第1のトランジスタのドレイン電極に接続され、ドレイン電極が前記第2の出力端子に接続される第3のトランジスタと、

ゲート電極が第2の入力端子に接続され、ソース電極が前記第1のトランジスタのドレイン電極に接続され、ドレイン電極が前記第2の出力端子に接続される第4のトランジスタと、

ゲート電極が第3の入力端子に接続され、ソース電極が前記第2のトランジスタのドレイン電極に接続される第5のトランジスタと、

ゲート電極が第4の入力端子に接続され、ソース電極が前記第5のトランジスタのドレイン電極に接続され、ドレイン電極が前記第1の出力端子に接続される第6のトランジスタと、

ゲート電極が第5の入力端子に接続され、ドレイン電極が前記第2の出力端子に接続される第7のトランジスタと、

ゲート電極が前記第 2 の入力端子に接続され、ソース電極が第 2 の電源電位に接続され、ドレイン電極が前記第 7 のトランジスタのソース電極に接続される第 8 のトランジスタと、

ゲート電極が第 6 の入力端子に接続され、ソース電極が前記第 2 の電源電位に接続され、ドレイン電極が前記第 1 の出力端子に接続される第 9 のトランジスタと、

ゲート電極が前記第 4 の入力端子に接続され、ソース電極が前記第 2 の電源電位に接続され、ドレイン電極が前記第 1 の出力端子に接続される第 10 のトランジスタと、を備え、

前記第 1 の入力端子及び前記第 3 の入力端子に入力される信号は、互いに逆位相であり、前記第 2 の入力端子及び前記第 4 の入力端子に入力される信号は、互いに逆位相であり、前記第 1 乃至前記第 6 のトランジスタは、その他のトランジスタとは異なるチャネル型のトランジスタであることを特徴とする請求項 1 乃至 5 の何れかに記載の論理回路。

【請求項 11】 互いのソース電極が第 1 の電極電位に接続され、ゲート電極がそれぞれ第 1 の出力端子及び第 2 の出力端子に接続される第 1 のトランジスタ及び第 2 のトランジスタと、

ゲート電極が第 1 の入力端子に接続され、ソース電極が前記第 1 のトランジスタのドレイン電極に接続され、ドレイン電極が前記第 2 の出力端子に接続される第 3 のトランジスタと、

ゲート電極が第 2 の入力端子に接続され、ソース電極が前記第 2 のトランジスタのドレイン電極に接続され、ドレイン電極が前記第 1 の出力端子に接続される第 4 のトランジスタと、

ゲート電極が第 3 の入力端子に接続され、ドレイン電極が前記第 2 の出力端子に接続される第 5 のトランジスタと、

ゲート電極が前記第 1 の入力端子に接続され、ソース電極が第 2 の電源電位に接続され、ドレイン電極が前記第 5 のトランジスタのソース電極に接続される第 6 のトランジスタと、

ゲート電極が第 4 の入力端子に接続され、ソース電極が前記第 2 の電源電位に

接続され、ドレイン電極が前記第 2 の出力端子に接続される第 7 のトランジスタと、

ゲート電極が第 5 の入力端子に接続され、ドレイン電極が前記第 1 の出力端子に接続される第 8 のトランジスタと、

ゲート電極が前記第 2 の入力端子に接続され、ソース電極が前記第 2 の電源電位に接続され、ドレイン電極が前記第 8 のトランジスタのソース電極に接続される第 9 のトランジスタと、

ゲート電極が第 6 の入力端子に接続され、ソース電極が前記第 2 の電源電位に接続され、ドレイン電極が前記第 8 のトランジスタのソース電極に接続される第 10 のトランジスタと、を備え、

前記第 1 の入力端子及び前記第 2 の入力端子に入力される信号は、互いに逆位相であり、前記第 3 の入力端子及び前記第 6 の入力端子に入力される信号は、互いに逆位相であり、前記第 4 の入力端子及び前記第 5 の入力端子に入力される信号は、互いに逆位相であり、前記第 1 乃至前記第 4 のトランジスタは、その他のトランジスタとは異なるチャネル型のトランジスタであることを特徴とする請求項 1 乃至 5 の何れかに記載の論理回路。

【請求項 1 2】 互いのソース電極が第 1 の電極電位に接続され、ゲート電極がそれぞれ第 1 の出力端子及び第 2 の出力端子に接続される第 1 のトランジスタ及び第 2 のトランジスタと、

ゲート電極が第 1 の入力端子に接続され、ソース電極が前記第 1 のトランジスタのドレイン電極に接続される第 3 のトランジスタと、

ゲート電極が第 2 の入力端子に接続され、ソース電極が前記第 3 のトランジスタのドレイン電極に接続され、ドレイン電極が前記第 2 の出力端子に接続される第 4 のトランジスタと、

ゲート電極が第 3 の入力端子に接続され、ソース電極が前記第 3 のトランジスタのドレイン電極に接続され、ドレイン電極が前記第 2 の出力端子に接続される第 5 のトランジスタと、

ゲート電極が第 4 の入力端子に接続され、ソース電極が前記第 2 のトランジスタのドレイン電極に接続され、ドレイン電極が前記第 1 の出力端子に接続される

第 6 のトランジスタと、

ゲート電極が第 5 の入力端子に接続され、ソース電極が前記第 2 のトランジスタのドレイン電極に接続される第 7 のトランジスタと、

ゲート電極が第 6 の入力端子に接続され、ソース電極が前記第 7 のトランジスタのドレイン電極に接続され、ドレイン電極が前記第 1 の出力端子に接続される第 8 のトランジスタと、

ゲート電極が第 7 の入力端子に接続され、ドレイン電極が前記第 2 の出力端子に接続される第 9 のトランジスタと、

ゲート電極が第 8 の入力端子に接続され、ソース電極が前記第 2 の電源電位に接続され、ドレイン電極が前記第 9 のトランジスタのソース電極に接続される第 1 0 のトランジスタと、

ゲート電極が第 9 の入力端子に接続され、ソース電極が前記第 2 の電源電位に接続され、ドレイン電極が前記第 2 の出力端子に接続される第 1 1 のトランジスタと、

ゲート電極が第 1 0 の入力端子に接続され、ドレイン電極が前記第 1 の出力端子に接続される第 1 2 のトランジスタと、

ゲート電極が第 1 1 の入力端子に接続され、ソース電極が前記第 2 の電源電位に接続され、ドレイン電極が前記第 1 2 のトランジスタのソース電極に接続される第 1 3 のトランジスタと、

ゲート電極が第 1 2 の入力端子に接続され、ソース電極が前記第 2 の電源電位に接続され、ドレイン電極が前記第 1 2 のトランジスタのソース電極に接続される第 1 4 のトランジスタと、を備え、

前記第 1 の入力端子及び前記第 4 の入力端子に入力される信号は、互いに逆位相であり、前記第 2 の入力端子及び前記第 6 の入力端子に入力される信号は、互いに逆位相であり、前記第 3 の入力端子及び前記第 5 の入力端子に入力される信号は、互いに逆位相であり、前記第 1 乃至前記第 8 のトランジスタは、その他のトランジスタとは異なるチャネル型のトランジスタであることを特徴とする請求項 1 乃至 5 の何れかに記載の論理回路。

【請求項 1 3】 前記入力信号の少なくとも一部は、信号の入力を制御する

ための転送用トランジスタを介して入力されることを特徴とする請求項 1 乃至 1 2 の何れかに記載の論理回路。

【請求項 1 4】 前記転送用トランジスタにより信号入力が制御されるトランジスタのゲート電極と一方の電源電位との間に、誤動作防止用トランジスタが接続され、

前記誤動作防止用トランジスタのゲート電極は、前記電源電位とは異なる電源電位に接続されることを特徴とする請求項 1 乃至 1 3 の何れかに記載の論理回路。

【請求項 1 5】 前記転送用トランジスタにより信号入力が制御されるトランジスタのゲート電極と一方の電源電位との間に、誤動作防止用トランジスタが接続され、

前記誤動作防止用トランジスタのゲート電極には、前記転送用トランジスタとは逆位相の信号が入力されることを特徴とする請求項 1 乃至 1 3 の何れかに記載の論理回路。

【請求項 1 6】 前記転送用トランジスタのゲート電極には、前記入力信号の何れかが入力されることを特徴とする請求項 1 乃至 1 5 の何れかに記載の論理回路。

【請求項 1 7】 列方向に複数配列されたデータ信号線及び行方向に複数配列された走査信号線に囲まれ、マトリクス状に配列された複数の画素と、

前記データ信号線に映像データを供給するデータ信号線駆動回路と、前記走査信号線に走査信号を供給する走査信号線駆動回路とを備えた画像表示装置において、

前記データ信号線駆動回路及び前記走査信号線駆動回路の少なくとも一方が、請求項 1 乃至 1 6 の何れかに記載の論理回路を有することを特徴とする画像表示装置。

【請求項 1 8】 前記データ信号線駆動回路を構成するシフトレジスタ回路の出力パルス及び外部より入力されるパルス幅制御信号を入力信号とし、

前記出力パルスよりもパルス幅の小さい出力信号を生成するための論理回路が、請求項 1 乃至 1 6 の何れかに記載の論理回路であることを特徴とする請求項 1

7に記載の画像表示装置。

【請求項 1 9】 前記走査信号線駆動回路を構成するシフトレジスタ回路の出力パルス及び外部より入力されるパルス幅制御信号を入力信号とし、

前記出力パルスよりもパルス幅の小さい出力信号を生成するための論理回路が、請求項 1 乃至 1 6 の何れかに記載の論理回路であることを特徴とする請求項 1 7 に記載の画像表示装置。

【請求項 2 0】 前記走査信号線駆動回路を構成するシフトレジスタ回路の出力パルス及び外部より入力される複数の制御信号のうちの 1 つの信号を入力信号とし、

異なる組み合わせのシフトレジスタ回路に対して、信号を同時に出力するための論理回路の少なくとも一部が、請求項 1 乃至 1 6 のいずれかに記載の論理回路であることを特徴とする請求項 1 7 に記載の画像表示装置。

【請求項 2 1】 前記データ信号線駆動回路及び前記走査信号線駆動回路を構成する論理回路が、前記転送用トランジスタのゲート電極に、前記シフトレジスタの出力信号が入力される論理回路であることを特徴とする請求項 1 8 乃至 2 0 の何れかに記載の画像表示装置。

【請求項 2 2】 前記データ信号線駆動回路及び前記走査信号線駆動回路の少なくとも一方が、前記画素と同一基板上に形成されていることを特徴とする請求項 1 7 乃至 2 1 の何れかに記載の画像表示装置。

【請求項 2 3】 前記データ信号線駆動回路、前記走査信号線駆動回路及び前記画素を構成する能動素子が、多結晶シリコン薄膜トランジスタであることを特徴とする請求項 2 2 に記載の画像表示装置。

【請求項 2 4】 前記能動素子が、概ね 6 0 0 ℃ 以下のプロセスで形成されることを特徴とする請求項 2 3 に記載の画像表示装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は入力信号の論理演算を行う論理回路に関するものであり、特に、回路の電源電圧よりも振幅の小さい入力信号においても、正常な論理演算を行うこと

が可能な論理回路に関するものである。

【0 0 0 2】

【従来の技術】

画像表示装置の一つとしてアクティブマトリクス駆動方式の液晶表示装置が知られている。従来、この液晶表示装置は図 2 3 に示すように、画素アレイ、走査信号線駆動回路 G D、データ信号線駆動回路 S D とからなっている。画素アレイには互いに交差する多数の走査信号線 G L と多数のデータ信号線 S L とを備えており、隣接する 2 走査信号線 G L と隣接する 2 データ信号線 S L とによって包囲された部分に画素 P I X がマトリクス状に設けられている。

【0 0 0 3】

データ信号線駆動回路 S D はクロック信号 C K S 等のタイミング信号に同期して入力された映像信号 D A T をサンプリングし、必要に応じて増幅して各データ信号線 S L に書き込む働きをする。走査信号線駆動回路 G D はクロック信号 C K G 等のタイミング信号に同期して走査信号線 G L を順次選択し、画素 P I X 内にあるスイッチング素子の開閉を制御することにより各データ信号線 S L に書き込まれた映像信号を各画素 P I X に書き込むと共に、各画素 P I X に書き込まれたデータを保持させる働きをする。

【0 0 0 4】

図 2 3 における各画素 P I X は図 2 4 に示すように、スイッチング素子である電界効果トランジスタ S W、画素容量（液晶容量 C L 及び必要によって付加される補助容量 C S よりなる）とによって構成される。

図 2 4 においてスイッチング素子であるトランジスタ S W のドレイン及びソースを介してデータ信号線 S L と画素容量の一方の電極とが接続され、トランジスタ S W のゲートは走査信号線 G L に接続され、画素容量の他方の電極は全画素に共通の共通電極線に接続されている。そして各液晶容量 C L に印加される電圧により、液晶の透過率または反射率が変調され表示に供する。

【0 0 0 5】

次に映像信号をデータ信号線に書き込む方式について述べる。データ信号線の駆動方式としては点順次駆動方式と線順次駆動方式とがある。ここでは、点順次

駆動方式についてのみ述べる。

【0006】

図39はデータ信号線駆動回路の例である。点順次駆動方式では図39に示すように、映像信号線DATに入力された映像信号をシフトレジスタの各段の出力パルスに同期させてサンプリング回路ASを開閉することによりデータ信号線SLに書き込む。

【0007】

このことをより具体的に述べると、隣接する2個のラッチ回路SRの出力信号Nの重なり信号を複数のインバータ回路からなるバッファ回路で増幅すると共に、必要に応じて反転信号を生成してサンプリング信号S及び／Sとする。このサンプリング信号を用いてサンプリング回路（アナログスイッチ）AWを開閉して映像信号線DATから映像データをデータ信号線SLに供給するものである。

【0008】

図40は走査信号線駆動回路の例である。図40に示すように、NAND回路によって隣接するラッチ回路SRの出力信号の重なりを取り、更にこれと外部からのパルス幅制御信号GPSとの重なりをとることによって所望のパルス幅を得ている。

【0009】

ところで、近年、液晶表示装置の小型化や高解像度化、実装コストの低減などのために、表示を司る画素アレイとそれらを駆動するための駆動回路とを同一基板上に一体形成する技術が注目を集めている。このような駆動回路一体型の液晶表示装置では、現在、最も広く用いられている透過型液晶表示装置を構成する場合、その基板に透明基板を用いる必要があり、そのため、画素アレイ及び駆動回路を構成する能動素子として石英基板やガラス基板上に構成することができる多結晶シリコン薄膜トランジスタを用いる場合が多い。

【0010】

【発明が解決しようとする課題】

上述した従来の画像表示装置においては、図39及び図40に示すように、シフトレジスタ回路へクロック信号CKS及びCKG、スタート信号SPS及びS

P G等の駆動回路の電源電圧と同振幅の信号を外部から直接入力していた。

【0 0 1 1】

ところで、上述の駆動回路一体型の液晶表示装置に用いられる多結晶シリコン薄膜トランジスタにおいては、そのトランジスタ特性が単結晶シリコントランジスタに比べて劣っている。特に、閾値電圧の絶対値が1～6 Vと高く、従って駆動電源電圧も10～20 Vまで高くせざるを得ないのが現状である。

【0 0 1 2】

また、この際、同時に外部から入力されるクロック信号等の振幅も大きくする必要があるが、その場合、外部回路（クロック信号などを生成するコントロール回路等）の消費電力が大幅に増加することになると共に、信号線による不要輻射による影響も大きなものとなる。

【0 0 1 3】

この問題に対して、従来は液晶表示装置の駆動回路側に信号昇圧回路（レベルシフタ）を搭載することにより、入出力インターフェースの低電圧化を図ることが提案されている。図4 1は低電圧インターフェースを実現するための走査信号線駆動回路の構成例である。図4 1において、外部から入力されるクロック信号CLKやスタート信号SPS及びSPG、パルス信号GPSは駆動回路よりも小振幅である。これらの信号は、先ずレベルシフタ回路（昇圧回路）LSに入力され駆動回路の電源電圧まで昇圧された後、駆動回路に供給されている。尚、データ信号線駆動回路側においても、同様な構成が可能である。図4 2及び図4 3は従来のレベルシフタ回路LSの構成例であり、LSIで一般に用いられているものである。実際の液晶表示装置では、外部からの信号線（GPS等）は、駆動回路領域の長手方向にわたって伸延しているので、それによる負荷は極めて大きい。従って負荷の大きな信号線を高周波数で駆動するために、レベルシフタ回路後に大きなバッファ回路を設ける必要あり、そのことにより消費電力が大幅に増加すると共に、駆動回路の信頼性の低下が懸念されている。

【0 0 1 4】

本発明は、このような従来技術の課題を解決すべくなされたものであり、昇圧機能を内蔵させることにより、表示上の不具合を来すことなく、低電圧インター

フェースと低消費電力を両立させた論理演算回路、及びこれを用いることにより低消費電力性と高表示品位を兼ね備えた画像表示装置を提供することである。

【0015】

【課題を解決するための手段】

上述の課題を解決するために本発明の請求項1に記載の論理回路は、複数の入力信号に基づいて論理演算を行うCMOS論理回路において、入力信号のうちの少なくとも一部は、その振幅がCMOS論理回路の駆動電源よりも小さいことを特徴としている。

【0016】

また、本発明の請求項2に記載の論理回路は、請求項1に記載の論理回路において、2つの電流経路のそれぞれにnチャネル型トランジスタからなる回路部分及びpチャネル型トランジスタからなる回路部分が設けられ、その何れか一方のチャネル型トランジスタからなる回路部分において、一方の電流経路には、論理回路と同様の論理演算結果を出力するCMOSロジック回路のnチャネル型トランジスタからなる回路部分と同一構成の回路が設けられ、他方の電流経路には、論理回路と同様の論理演算結果を出力するCMOSロジック回路のpチャネル型トランジスタからなる回路部分と同一構成の回路が設けられ、論理回路の他方のチャネル型トランジスタからなる回路部分では、2つの電流経路にそれぞれ設けられたトランジスタのゲート電極が、互いのドレイン電極に相互に接続されることを特徴としている。

【0017】

また、本発明の請求項3に記載の論理回路は、請求項1に記載の論理回路において、論理回路は、2つの電流経路のそれぞれにnチャネル型トランジスタからなる回路部分及びpチャネル型トランジスタからなる回路部分が設けられ、その何れか一方のチャネル型トランジスタからなる回路部分において、一方の電流経路には、論理回路と同様の論理演算結果を出力するCMOSロジック回路のnチャネル型トランジスタからなる回路部分と同一構成の回路が設けられ、他方の電流経路には、論理回路と同様の論理演算結果を出力するCMOSロジック回路のpチャネル型トランジスタからなる回路部分と同一構成の回路が設けられ、論

理回路の他方のチャネル型トランジスタからなる回路部分では、2つの電流経路のそれぞれにおいて、入力信号のうち、少なくとも一部がゲート電極に入力されるトランジスタが設けられ、かつ、2つの電流経路のそれぞれの電源側に、ゲート電極が互いに他方の電流経路の出力部に接続されるトランジスタが設けられていることを特徴としている。

【0018】

また、本発明の請求項4に記載の論理回路は、請求項1に記載の論理回路において、論理回路は、2つの電流経路のそれぞれにnチャネル型トランジスタからなる回路部分及びpチャネル型トランジスタからなる回路部分が設けられ、その何れか一方のチャネル型トランジスタからなる回路部分において、一方の電流経路には、論理回路と同様の論理演算結果を出力するCMOSロジック回路のnチャネル型トランジスタからなる回路部分と同一構成の回路が設けられ、他方の電流経路には、論理回路と同様の論理演算結果を出力するCMOSロジック回路のpチャネル型トランジスタからなる回路部分と同一構成の回路が設けられ、論理回路の他方のチャネル型トランジスタからなる回路部分では、一方の電流経路に、論理回路と同様の論理演算結果を出力するCMOSロジック回路のpチャネル型トランジスタからなる回路部分と同一構成の回路が設けられ、他方の電流経路に、入力信号のうち、少なくとも一部がゲート電極に入力されるトランジスタが設けられ、論理回路と同様の論理演算結果を出力するCMOSロジック回路のnチャネル型トランジスタからなる回路部分と同一構成の回路が設けられ、かつ、2つの電流経路のそれぞれの電源側に、ゲート電極が互いに他方の電流経路の出力部に接続されるトランジスタが設けられていることを特徴としている。

【0019】

また、本発明の請求項5に記載の論理回路は、請求項1乃至4に記載の論理回路において、複数の入力信号のうち、振幅が小さい方の信号は、一方のチャネル型の回路部分において、直列に接続されたトランジスタのうちの電源側に入力されていることを特徴としている。

【0020】

また、本発明の請求項6に記載の論理回路は、請求項1乃至5の何れかに記載

の論理回路において、互いのソース電極が第 1 の電極電位に接続され、互いのゲート電極が相手のドレイン電極に接続されると共に、それぞれ第 1 の出力端子及び第 2 の出力端子に接続される第 1 のトランジスタ及び第 2 のトランジスタと、ゲート電極が第 1 の入力端子に接続され、ドレイン電極が第 2 の出力端子に接続される第 3 のトランジスタと、ゲート電極が第 2 の入力端子に接続され、ドレイン電極が第 3 のトランジスタのソース電極に接続され、ソース電極が第 2 の電源電位に接続される第 4 のトランジスタと、ゲート電極が第 3 の入力端子に接続され、ドレイン電極が第 1 の出力端子に接続され、ソース電極が第 2 の電源電位に接続される第 5 のトランジスタと、ゲート電極が第 4 の入力端子に接続され、ドレイン電極が第 1 の出力端子に接続され、ソース電極が第 2 の電源電位に接続される第 6 のトランジスタと、を備え、第 1 の入力端子及び第 3 の入力端子に入力される信号は、互いに逆位相であり、第 2 の入力端子及び第 4 の入力端子に入力される信号は、互いに逆位相であり、第 1 のトランジスタ及び第 2 のトランジスタは、その他のトランジスタとは異なるチャネル型のトランジスタであることを特徴としている。

【 0 0 2 1 】

また、本発明の請求項 7 に記載の論理回路は、請求項 1 乃至 5 の何れかに記載の論理回路において、互いのソース電極が第 1 の電極電位に接続され、互いのゲート電極が相手のドレイン電極に接続されると共に、それぞれ第 1 の出力端子及び第 2 の出力端子に接続される第 1 のトランジスタ及び第 2 のトランジスタと、ゲート電極が第 1 の入力端子に接続され、ドレイン電極が第 2 の出力端子に接続される第 3 のトランジスタと、ゲート電極が第 2 の入力端子に接続され、ドレイン電極が第 3 のトランジスタのソース電極に接続され、ソース電極が第 2 の電源電位に接続される第 4 のトランジスタと、ゲート電極が第 3 の入力端子に接続され、ドレイン電極が第 2 の出力端子に接続され、ソース電極が第 2 の電源電位に接続される第 5 のトランジスタと、ゲート電極が第 4 の入力端子に接続され、ソース電極が第 2 の電源電位に接続される第 6 のトランジスタと、ゲート電極が第 5 の入力端子に接続され、ソース電極が第 2 の電源電位に接続される第 7 のトランジスタと、ゲート電極が第 6 の入力端子に接続され、ドレイン電極が第 1 の出

力端子に接続され、ソース電極が第 6 のトランジスタ及び第 7 のトランジスタのドレイン電極に接続される第 8 のトランジスタと、を備え、第 1 の入力端子及び第 4 の入力端子に入力される信号は、互いに逆位相であり、第 2 の入力端子及び第 5 の入力端子に入力される信号は、互いに逆位相であり、第 3 の入力端子及び第 6 の入力端子に入力される信号は、互いに逆位相であり、第 1 のトランジスタ及び第 2 のトランジスタは、その他のトランジスタとは異なるチャネル型のトランジスタであることを特徴としている。

【0 0 2 2】

また、本発明の請求項 8 に記載の論理回路は、請求項 1 乃至 5 の何れかに記載の論理回路において、互いのソース電極が第 1 の電極電位に接続され、互いのゲート電極が相手のドレイン電極に接続されると共に、それぞれ第 1 の出力端子及び第 2 の出力端子に接続される第 1 のトランジスタ及び第 2 のトランジスタと、ゲート電極が第 1 の入力端子に接続され、ドレイン電極が第 2 の出力端子に接続される第 3 のトランジスタと、ゲート電極が第 2 の入力端子に接続され、ドレイン電極が第 3 のトランジスタのソース電極に接続され、ソース電極が第 2 の電源電位に接続される第 4 のトランジスタと、ゲート電極が第 3 の入力端子に接続され、ドレイン電極が第 2 の出力端子に接続され、ソース電極が第 2 の電源電位に接続される第 5 のトランジスタと、ゲート電極が第 4 の入力端子に接続され、ドレイン電極が第 1 の出力端子に接続される第 6 のトランジスタと、ゲート電極が第 5 の入力端子に接続され、ドレイン電極が第 1 の出力端子に接続される第 7 のトランジスタと、ゲート電極が第 6 の入力端子に接続され、ドレイン電極が第 6 のトランジスタ及び第 7 のトランジスタのソース電極に接続され、ソース電極が第 2 の電源電位に接続される第 8 のトランジスタと、を備え、第 1 の入力端子及び第 4 の入力端子に入力される信号は、互いに逆位相であり、第 2 の入力端子及び第 5 の入力端子に入力される信号は、互いに逆位相であり、第 3 の入力端子及び第 6 の入力端子に入力される信号は、互いに逆位相であり、第 1 のトランジスタ及び第 2 のトランジスタは、その他のトランジスタとは異なるチャネル型のトランジスタであることを特徴としている。

【0 0 2 3】

また、本発明の請求項 9 に記載の論理回路は、請求項 1 乃至 5 の何れかに記載の論理回路において、互いのソース電極が第 1 の電極電位に接続され、ゲート電極がそれぞれ第 1 の出力端子及び第 2 の出力端子に接続される第 1 のトランジスタ及び第 2 のトランジスタと、ゲート電極が第 1 の入力端子に接続され、ソース電極が第 1 のトランジスタのドレイン電極に接続され、ドレイン電極が第 2 の出力端子に接続される第 3 のトランジスタと、ゲート電極が第 2 の入力端子に接続され、ソース電極が第 2 のトランジスタのドレイン電極に接続され、ドレイン電極が第 1 の出力端子に接続される第 4 のトランジスタと、ゲート電極が第 3 の入力端子に接続され、ドレイン電極が第 2 の出力端子に接続される第 5 のトランジスタと、ゲート電極が第 1 の入力端子に接続され、ソース電極が第 2 の電源電位に接続され、ドレイン電極が第 5 のトランジスタのソース電極に接続される第 6 のトランジスタと、ゲート電極が第 4 の入力端子に接続され、ソース電極が第 2 の電源電位に接続され、ドレイン電極が第 1 の出力端子に接続される第 7 のトランジスタと、ゲート電極が第 2 の入力端子第 5 の入力端子に接続され、ドレイン電極が第 1 の出力端子に接続される第 7 のトランジスタと、ゲート電極が第 2 の入力端子に接続され、ソース電極が第 2 の電源電位に接続され、ドレイン電極が第 1 の出力端子に接続される第 8 のトランジスタと、を備え、第 1 の入力端子及び第 2 の入力端子に入力される信号は、互いに逆位相であり、第 3 の入力端子及び第 4 の入力端子に入力される信号は、互いに逆位相であり、第 1 乃至第 4 のトランジスタは、その他のトランジスタとは異なるチャネル型のトランジスタであることを特徴としている。

【 0 0 2 4 】

また、本発明の請求項 1 0 に記載の論理回路は、請求項 1 乃至 5 の何れかに記載の論理回路において、互いのソース電極が第 1 の電極電位に接続され、ゲート電極がそれぞれ第 1 の出力端子及び第 2 の出力端子に接続される第 1 のトランジスタ及び第 2 のトランジスタと、ゲート電極が第 1 の入力端子に接続され、ソース電極が第 1 のトランジスタのドレイン電極に接続され、ドレイン電極が第 2 の出力端子に接続される第 3 のトランジスタと、ゲート電極が第 2 の入力端子に接続され、ソース電極が第 1 のトランジスタのドレイン電極に接続され、ドレイン

電極が第 2 の出力端子に接続される第 4 のトランジスタと、ゲート電極が第 3 の入力端子に接続され、ソース電極が第 2 のトランジスタのドレイン電極に接続される第 5 のトランジスタと、ゲート電極が第 4 の入力端子に接続され、ソース電極が第 5 のトランジスタのドレイン電極に接続され、ドレイン電極が第 1 の出力端子に接続される第 6 のトランジスタと、ゲート電極が第 5 の入力端子に接続され、ドレイン電極が第 2 の出力端子に接続される第 7 のトランジスタと、ゲート電極が第 2 の入力端子に接続され、ソース電極が第 2 の電源電位に接続され、ドレイン電極が第 7 のトランジスタのソース電極に接続される第 8 のトランジスタと、ゲート電極が第 6 の入力端子に接続され、ソース電極が第 2 の電源電位に接続され、ドレイン電極が第 1 の出力端子に接続される第 9 のトランジスタと、ゲート電極が第 4 の入力端子に接続され、ソース電極が第 2 の電源電位に接続され、ドレイン電極が第 1 の出力端子に接続される第 10 のトランジスタと、を備え、第 1 の入力端子及び第 3 の入力端子に入力される信号は、互いに逆位相であり、第 2 の入力端子及び第 4 の入力端子に入力される信号は、互いに逆位相であり、第 1 乃至第 6 のトランジスタは、その他のトランジスタとは異なるチャネル型のトランジスタであることを特徴としている。

【0025】

また、本発明の請求項 11 に記載の論理回路は、請求項 1 乃至 5 の何れかに記載の論理回路において、互いのソース電極が第 1 の電極電位に接続され、ゲート電極がそれぞれ第 1 の出力端子及び第 2 の出力端子に接続される第 1 のトランジスタ及び第 2 のトランジスタと、ゲート電極が第 1 の入力端子に接続され、ソース電極が第 1 のトランジスタのドレイン電極に接続され、ドレイン電極が第 2 の出力端子に接続される第 3 のトランジスタと、ゲート電極が第 2 の入力端子に接続され、ソース電極が第 2 のトランジスタのドレイン電極に接続され、ドレイン電極が第 1 の出力端子に接続される第 4 のトランジスタと、ゲート電極が第 3 の入力端子に接続され、ドレイン電極が第 2 の出力端子に接続される第 5 のトランジスタと、ゲート電極が第 1 の入力端子に接続され、ソース電極が第 2 の電源電位に接続され、ドレイン電極が第 5 のトランジスタのソース電極に接続される第 6 のトランジスタと、ゲート電極が第 4 の入力端子に接続され、ソース電極が第

2の電源電位に接続され、ドレイン電極が第2の出力端子に接続される第7のトランジスタと、ゲート電極が第5の入力端子に接続され、ドレイン電極が第1の出力端子に接続される第8のトランジスタと、ゲート電極が第2の入力端子に接続され、ソース電極が第2の電源電位に接続され、ドレイン電極が第8のトランジスタのソース電極に接続される第9のトランジスタと、ゲート電極が第6の入力端子に接続され、ソース電極が第2の電源電位に接続され、ドレイン電極が第8のトランジスタのソース電極に接続される第10のトランジスタと、を備え、

第1の入力端子及び第2の入力端子に入力される信号は、互いに逆位相であり、第3の入力端子及び第6の入力端子に入力される信号は、互いに逆位相であり、第4の入力端子及び第5の入力端子に入力される信号は、互いに逆位相であり、第1乃至第4のトランジスタは、その他のトランジスタとは異なるチャネル型のトランジスタであることを特徴としている。

【0026】

また、本発明の請求項12に記載の論理回路は、請求項1乃至5の何れかに記載の論理回路において、互いのソース電極が第1の電極電位に接続され、ゲート電極がそれぞれ第1の出力端子及び第2の出力端子に接続される第1のトランジスタ及び第2のトランジスタと、ゲート電極が第1の入力端子に接続され、ソース電極が第1のトランジスタのドレイン電極に接続される第3のトランジスタと、ゲート電極が第2の入力端子に接続され、ソース電極が第3のトランジスタのドレイン電極に接続され、ドレイン電極が第2の出力端子に接続される第4のトランジスタと、ゲート電極が第3の入力端子に接続され、ソース電極が第3のトランジスタのドレイン電極に接続され、ドレイン電極が第2の出力端子に接続される第5のトランジスタと、ゲート電極が第4の入力端子に接続され、ソース電極が第2のトランジスタのドレイン電極に接続され、ドレイン電極が第1の出力端子に接続される第6のトランジスタと、ゲート電極が第5の入力端子に接続され、ソース電極が第2のトランジスタのドレイン電極に接続される第7のトランジスタと、ゲート電極が第6の入力端子に接続され、ソース電極が第7のトランジスタのドレイン電極に接続され、ドレイン電極が第1の出力端子に接続される第8のトランジスタと、ゲート電極が第7の入力端子に接続され、ドレイン電極

が第 2 の出力端子に接続される第 9 のトランジスタと、ゲート電極が第 8 の入力端子に接続され、ソース電極が第 2 の電源電位に接続され、ドレイン電極が第 9 のトランジスタのソース電極に接続される第 1 0 のトランジスタと、ゲート電極が第 9 の入力端子に接続され、ソース電極が第 2 の電源電位に接続され、ドレイン電極が第 2 の出力端子に接続される第 1 1 のトランジスタと、ゲート電極が第 1 0 の入力端子に接続され、ドレイン電極が第 1 の出力端子に接続される第 1 2 のトランジスタと、ゲート電極が第 1 1 の入力端子に接続され、ソース電極が第 2 の電源電位に接続され、ドレイン電極が第 1 2 のトランジスタのソース電極に接続される第 1 3 のトランジスタと、ゲート電極が第 1 2 の入力端子に接続され、ソース電極が第 2 の電源電位に接続され、ドレイン電極が第 1 2 のトランジスタのソース電極に接続される第 1 4 のトランジスタと、を備え、第 1 の入力端子及び第 4 の入力端子に入力される信号は、互いに逆位相であり、第 2 の入力端子及び第 6 の入力端子に入力される信号は、互いに逆位相であり、第 3 の入力端子及び第 5 の入力端子に入力される信号は、互いに逆位相であり、第 1 乃至第 8 のトランジスタは、その他のトランジスタとは異なるチャネル型のトランジスタであることを特徴としている。

【 0 0 2 7 】

また、本発明の請求項 1 3 に記載の論理回路は、請求項 1 乃至 1 2 の何れかに記載の論理回路において、入力信号の少なくとも一部は、信号の入力を制御するための転送用トランジスタを介して入力されることを特徴としている。

【 0 0 2 8 】

また、本発明の請求項 1 4 に記載の論理回路は、請求項 1 乃至 1 3 の何れかに記載の論理回路において、転送用トランジスタにより信号入力制御されるトランジスタのゲート電極と一方の電源電位との間に、誤動作防止用トランジスタが接続され、誤動作防止用トランジスタのゲート電極は、電源電位とは異なる電源電位に接続されることを特徴としている。

【 0 0 2 9 】

また、本発明の請求項 1 5 に記載の論理回路は、請求項 1 乃至 1 3 の何れかに記載の論理回路において、転送用トランジスタにより信号入力制御されるトラ

ンジスタのゲート電極と一方の電源電位との間に、誤動作防止用トランジスタが接続され、誤動作防止用トランジスタのゲート電極には、転送用トランジスタとは逆位相の信号が入力されることを特徴としている。

【 0 0 3 0 】

また、本発明の請求項 1 6 に記載の論理回路は、請求項 1 乃至 1 5 の何れかに記載の論理回路において、転送用トランジスタのゲート電極には、入力信号の何れかが入力されることを特徴としている。

【 0 0 3 1 】

また、本発明の請求項 1 7 に記載の画像表示装置は、列方向に複数配列されたデータ信号線及び行方向に複数配列された走査信号線に囲まれ、マトリクス状に配列された複数の画素と、データ信号線に映像データを供給するデータ信号線駆動回路と、走査信号線に走査信号を供給する走査信号線駆動回路とを備えた画像表示装置において、データ信号線駆動回路及び走査信号線駆動回路の少なくとも一方が、請求項 1 乃至 1 6 の何れかに記載の論理回路を有することを特徴としている。

【 0 0 3 2 】

また、本発明の請求項 1 8 に記載の画像表示装置は、請求項 1 7 に記載の画像表示装置において、データ信号線駆動回路を構成するシフトレジスタ回路の出力パルス及び外部より入力されるパルス幅制御信号を入力信号とし、出力パルスよりもパルス幅の小さい出力信号を生成するための論理回路が、請求項 1 乃至 1 6 の何れかに記載の論理回路であることを特徴としている。

【 0 0 3 3 】

また、本発明の請求項 1 9 に記載の画像表示装置は、請求項 1 7 に記載の画像表示装置において、走査信号線駆動回路を構成するシフトレジスタ回路の出力パルス及び外部より入力されるパルス幅制御信号を入力信号とし、出力パルスよりもパルス幅の小さい出力信号を生成するための論理回路が、請求項 1 乃至 1 6 の何れかに記載の論理回路であることを特徴としている。

【 0 0 3 4 】

また、本発明の請求項 2 0 に記載の画像表示装置は、請求項 1 7 に記載の画像

表示装置において、走査信号線駆動回路を構成するシフトレジスタ回路の出力パルス及び外部より入力される複数の制御信号のうちの1つの信号を入力信号とし、異なる組み合わせのシフトレジスタ回路に対して、信号を同時に出力するための論理回路の少なくとも一部が、請求項 1 乃至 1 5 のいずれかに記載の論理回路であることを特徴としている。

【 0 0 3 5 】

また、本発明の請求項 2 1 に記載の画像表示装置は、請求項 1 8 乃至 2 0 の何れかに記載の画像表示装置において、データ信号線駆動回路及び走査信号線駆動回路を構成する論理回路が、転送用トランジスタのゲート電極に、前記シフトレジスタの出力信号が入力される論理回路であることを特徴としている。

【 0 0 3 6 】

また、本発明の請求項 2 2 に記載の画像表示装置は、請求項 1 7 乃至 2 1 の何れかに記載の画像表示装置において、データ信号線駆動回路及び走査信号線駆動回路の少なくとも一方が、画素と同一基板上に形成されていることを特徴としている。

【 0 0 3 7 】

また、本発明の請求項 2 3 に記載の画像表示装置は、請求項 2 2 に記載の画像表示装置において、データ信号線駆動回路、走査信号線駆動回路及び画素を構成する能動素子が、多結晶シリコン薄膜トランジスタであることを特徴としている。

【 0 0 3 8 】

また、本発明の請求項 2 4 に記載の画像表示装置は、請求項 2 3 に記載の画像表示装置において、能動素子が、概ね 6 0 0 ℃ 以下のプロセスで形成されることを特徴としている。

【 0 0 3 9 】

本発明は上述した従来技術の問題点に鑑み、駆動回路の消費電力を低減することができる論理回路及びそれを用いた画像表示装置を提供するものである。

【 0 0 4 0 】

本発明の論理回路によれば、複数の入力信号に基づいて論理演算を行う C M O

S論理回路であって、入力信号のうちの少なくとも一部は、その振幅を、論理回路の駆動電源よりも小さくするようにした。そのことにより、論理回路の出力振幅を大きく取る必要がある場合や、駆動電圧をある程度以上大きくしないと論理回路が正常に動作しない場合にも、入力信号の振幅を小さくすることができるので、入力信号を生成する外部回路の負担が軽くなるとともに、消費電力の削減を図ることができる。

また、本発明の論理回路によれば、2つの電流経路のそれぞれに設けられた、nチャネル型トランジスタからなる回路部分及びpチャネル型トランジスタからなる回路部分の何れか一方のチャネル型トランジスタからなる回路部分において、一方の電流経路には、同様の論理演算結果を出力するCMOSロジック回路のnチャネル型トランジスタからなる回路部分と同一構成の回路が設けられ、他方の電流経路には、同様の論理演算結果を出力するCMOSロジック回路のpチャネル型トランジスタからなる回路部分と同一構成の回路が設けられ、他方のチャネル型トランジスタからなる回路部分では、2つの電流経路にそれぞれ設けられたトランジスタのゲート電極が、互いのドレイン電極に相互に接続されるようにした。そのことにより、一方のチャネル型トランジスタからなる回路部分では、論理演算回路を構成することができる。また、他方のチャネル型トランジスタからなる回路部分では、トランジスタのゲート電極とドレイン電極を相互に接続させてフィードバックループを構成しているので、貫通電流を抑制するとともに、内部状態を安定に保つことができる。

【0041】

これにより、入力信号の振幅を出力されるパルス信号の振幅、即ち、論理回路の電源電圧よりも小さくすることが可能となる。そのため本発明の論理回路によれば、入力信号のレベルが切り替わる毎には電流は流れず、出力信号が反転する時のみ電流が流れるので、消費電力の増加が殆どない。

【0042】

また、本発明の論理回路によれば、従来のCMOSロジック回路に比べ、僅かにトランジスタを2個加えるだけでよく、極めて少ない素子数でレベルシフト機能と論理演算機能とを両立させることができる。

【0043】

また、本発明の論理回路によれば、動作時の何れのタイミングにおいても、電流の経路が1本であり、内部の遅延についても、ロジックゲート1段分の遅延で動作するので、極めて高速に動作させることができる。

【0044】

また、本発明の論理回路によれば、複数の入力信号のうち、振幅が小さい方の信号は、一方のチャンネル型の回路部分において、直列に接続されたトランジスタのうちの電源側に入力されるようにした。そのことにより、振幅の小さい信号が電源電位側のトランジスタに入力されるので、トランジスタが十分に動作するため、論理回路の安定動作と高速動作を実現することが可能となる。直列に接続された複数のトランジスタにおいては、各トランジスタのソース電極と電源電位との電位差は、電源電位側のトランジスタの方が低い。トランジスタの駆動力は、そのゲート電極とソース電極との電位差で決まるため、小振幅の信号は、電源電位側のトランジスタに入力する方が望ましい。

【0045】

また、本発明の論理回路によれば、上述の論理回路の構成において、一方のチャンネル型の回路部分における一方の電流経路側に第3及び第4のトランジスタを直列に配置し、他方の電流経路側に第5及び第6のトランジスタを並列に配置するよにした。そして第3及び第5のトランジスタに入力される信号を逆位相にし、第4及び第6のトランジスタに入力される信号を逆位相にした。そのことにより、上述の効果に加えて、論理回路を構成するトランジスタ数が6個と少ないので、極めて回路規模の小さい論理否定積回路を構成することができる。この論理回路は、入力信号及び反転入力信号を入れ替えることにより、論理否定和回路として機能させることもできる。

【0046】

また、本発明の論理回路によれば、上述の論理回路の構成において、一方の電流経路側に直列に配置された第3及び第4のトランジスタに対して並列に第5のトランジスタを設け、他方の電流経路側に並列に配置された第5及び第6のトランジスタに対して直列に、かつ第2の出力端子側に第8のトランジスタを設けた

。そして第3及び第6のトランジスタに入力される信号を逆位相にし、第4及び第7のトランジスタに入力される信号を逆位相にし、第5及び第8のトランジスタに入力される信号を逆位相にした。そのことにより、上述の効果に加えて、論理回路を構成するトランジスタ数が8個と少ないので、極めて回路規模の小さい論理積－論理否定和回路を構成することができる。この論理回路は、入力信号及び反転入力信号を入れ替えることにより、論理和－論理否定積回路として機能させることもできる。

【0047】

また、本発明の論理回路によれば、上述の論理回路の構成において、一方の電流経路側に直列に配置された第3及び第4のトランジスタに対して並列に第5のトランジスタを設け、他方の電流経路側に並列に配置された第5及び第6のトランジスタに対して直列に、かつ第2の電源電位側に第8のトランジスタを設けた。そして第3及び第6のトランジスタに入力される信号を逆位相にし、第4及び第7のトランジスタに入力される信号を逆位相にし、第5及び第8のトランジスタに入力される信号を逆位相にした。そのことにより、上述の効果に加えて、論理回路を構成するトランジスタ数が8個と少ないので、極めて回路規模の小さい論理積－論理否定和回路を構成することができる。この論理回路は、入力信号及び反転入力信号を入れ替えることにより、論理和－論理否定積回路として機能させることもできる。

【0048】

また、本発明の論理回路によれば、第1の電源電位が高電源側である場合において、入力信号または入力信号の反転信号がゲート電極に入力されるpチャネル型トランジスタを付加することにより、これらのpチャネル型トランジスタが、出力ノードまたは反転出力ノードが低レベル（接地電位）となる動作時において、電源電位側からの電流を制限する働きをするため、動作マージンを大きくすることができる。

【0049】

また、本発明の論理回路によれば、入力信号の少なくとも一部は、信号の入力を制御するための転送用トランジスタを介して入力するようにした。そのことに

より、信号が不要な場合に論理回路が入力信号線から切り離されるので、入力信号線の容量性負荷が軽減されるという利点を有する。従って、入力信号の減衰や波形歪みが軽減され、論理回路の動作マージンが大きくなると共に、入力信号線を駆動する際の消費電力を削減することができる。

【 0 0 5 0 】

また、本発明の論理回路によれば、転送用トランジスタにより信号入力制御されるトランジスタのゲート電極と一方の電源電位との間に、トランジスタを接続し、このトランジスタのゲート電極を異なる電源電位に接続するようにした。そのことにより、信号入力部には、常にこのトランジスタを介して電源電位が供給されるので、入力信号線から電氣的に切り離された時にも、誤動作することなく安定状態を維持することが可能となると共に、入力信号線の容量性負荷が軽減されるという利点を有する。但し、このときトランジスタの駆動力は、入力信号を転送する転送用トランジスタよりも充分小さくしておく必要がある。

【 0 0 5 1 】

また、本発明の論理回路によれば、転送用トランジスタにより信号入力制御されるトランジスタのゲート電極と一方の電源電位との間に、トランジスタを接続し、このトランジスタのゲート電極に転送用トランジスタと逆位相の信号を入力するようにした。そのことにより、信号入力部は、信号入力が必要な期間及びその前後の期間のみ、入力信号線に電氣的に接続され、それ以外の期間は、入力信号線から電氣的に切り離されるので、誤動作することなく安定状態を維持することが可能となると共に、入力信号線の容量性負荷が軽減されるという利点を有する。この場合には、信号入力部は、何れか一方の経路としか電氣的に接続されないで、トランジスタの駆動力は、入力信号を転送する転送用トランジスタよりも充分小さくしておく必要はない。

【 0 0 5 2 】

また、本発明の論理回路によれば、転送用トランジスタのゲート電極に、入力信号の内の 1 つを入力し、それを制御信号として用いるようにした。そのことにより制御信号用の信号線及び端子を削減することができる。

【 0 0 5 3 】

また、本発明の画像表示装置によれば、画像表示装置において、走査信号線及びデータ信号線に信号を供給する走査信号線駆動回路及びデータ信号線駆動回路の少なくとも一方に、上述の何れかの論理回路を備えるようにした。そのことにより、画像表示装置の低消費電力化が期待できる。即ち、入力信号の振幅を駆動電圧よりも小さくすることができるため、信号生成用の外部回路の消費電力を小さくすることができる。また、一般に、論理演算回路は信号の切り替わり時に大きな貫通電流が流れるが、本発明によれば、入力信号の切り替わり時ではなく、出力信号の切り替わり時にのみ貫通電流が流れるので、消費電力を極めて小さくすることができる。

【 0 0 5 4 】

また、本発明の画像表示装置によれば、データ信号線駆動回路を構成するシフトレジスタ回路の出力パルスと、外部より入力されるパルス幅制御信号とを入力信号とし、出力パルスよりもパルス幅の小さい出力信号を生成するために上述の何れかの論理回路を用いるようにした。そのことにより、画像表示装置の低消費電力化が期待できる。即ち、入力信号の振幅を、駆動電圧よりも小さくすることができるため、信号生成用の外部回路の消費電力を小さくすることができる。また、一般に、論理演算回路は信号の切り替わり時に大きな貫通電流が流れるが、本発明によれば、入力信号の切り替わり時ではなく、出力信号の切り替わり時にのみ貫通電流が流れるので、消費電力を極めて小さくすることができる。また、シフトレジスタ回路の出力信号よりもパルス幅の小さい出力信号を生成するので、この出力信号を基に映像信号をデータ信号線にサンプリングすることにより、隣接間でのサンプリングの時間的重なりがなくなり、表示品位が改善すると期待できる。

【 0 0 5 5 】

また、本発明の画像表示装置によれば、走査信号線駆動回路を構成するシフトレジスタ回路の出力パルスと、外部より入力されるパルス幅制御信号とを入力信号とし、出力パルスよりもパルス幅の小さい出力信号を生成するために上述の何れかの論理回路を用いるようにした。そのことにより、画像表示装置の低消費電力化が期待できる。即ち、入力信号の振幅を、駆動電圧よりも小さくすることが

できるため、信号生成用の外部回路の消費電力を小さくすることができる。また、一般に、論理演算回路は信号の切り替わり時に大きな貫通電流が流れるが、本発明によれば、入力信号の切り替わり時ではなく、出力信号の切り替わり時にのみ貫通電流が流れるので、消費電力を極めて小さくすることができる。また、シフトレジスタ回路の出力信号よりもパルス幅の小さい出力信号を生成するので、この出力信号を基に映像信号を画素に書き込むことにより、隣接水平ライン間での走査信号の時間的重なりがなくなり、表示品位が改善すると期待できる。

【0056】

また、本発明の画像表示装置によれば、走査信号線駆動回路を構成するシフトレジスタ回路の出力パルスと、外部より入力される複数の制御信号のうちの1つの信号を入力信号とし、異なる組み合わせのシフトレジスタ回路に対して、信号を同時に出力するために上述の何れかの論理回路を用いるようにした。そのことにより、画像表示装置の低消費電力化が期待できる。即ち、入力信号の振幅を、駆動電圧よりも小さくすることができるため、信号生成用の外部回路の消費電力を小さくすることができる。また、一般に、論理演算回路は、信号の切り替わり時に大きな貫通電流が流れるが、本発明によれば、入力信号の切り替わり時ではなく、出力信号の切り替わり時にのみ貫通電流が流れるので、消費電力を極めて小さくすることができる。また、外部より入力される複数の制御信号により、出力信号のタイミングを変えることができるので、同時に複数の走査信号線を活性化させることが可能となり、また、同時に活性化される走査信号線の組み合わせを変えることも可能となる。従って、例えばVGA仕様の画像表示装置においてNTSC画像を表示するためなどに有効な、2水平ライン組違い走査を実現することができる。

【0057】

また、本発明の画像表示装置によれば、上述の何れかの論理回路を備えたデータ信号線駆動回路及び走査信号線駆動回路の少なくとも一方が、画素と同一基板上に形成されるようにした。そのことにより、データ信号線駆動回路及び走査信号線駆動回路は、画像表示装置の辺方向に広く分散配置されているので、入力信号線などの配線が長くなり、配線容量も大きくなるが、入力信号の振幅を小さく

することができるので、入力信号などを生成するための外部回路の負荷の増大を抑えることができる。また、このような構成においては、表示を行うための画素と、画素を駆動するためのデータ信号線駆動回路及び走査信号線駆動回路を、同一基板上に同一工程で製造することができるので、製造コストや実装コストの低減と、実装良品率のアップが期待できる。

【0058】

また、本発明の画像表示装置によれば、上述の何れかの論理回路を備えたデータ信号線駆動回路、走査信号線駆動回路及び画素とを構成する能動素子を、多結晶シリコン薄膜トランジスタで構成するようにした。そのことにより、従来のアクティブマトリクス型液晶表示装置に用いられていた非晶質シリコン薄膜トランジスタに比べて、極めて駆動力の高い特性が得られる利点を有する。

【0059】

また、多結晶シリコン薄膜トランジスタは、単結晶シリコントランジスタに比べて、駆動力が1～2桁程小さいため、従来のレベルシフト回路を用いて大きな負荷を有する配線を駆動するためには、レベルシフト回路の直後に極めて大きなバッファ回路を用いる必要があるが、本発明によれば、大きなバッファ回路は不要であるので、低消費電力化を実現することができる。

【0060】

また、本発明の画像表示装置によれば、能動素子が概ね600℃以下のプロセスで形成されようにした。そのことにより、歪み点温度が低く、安価であり、かつ基板サイズを大型化することが容易なガラス基板を用いることができるようになり、上述の効果に加えて、大型の画像表示装置を低コストで製造することが可能となるという利点を有する。

【0061】

【発明の実施の形態】

（実施の形態1）

以下、本発明の論理回路に係る実施形態について図面を用いて説明する。図1は本発明に係る論理回路の構成例を示したブロック図である。図1において、論理回路の駆動電圧は15V、入力信号IN2及び／IN2の振幅は15Vである

のに対し、入力信号 $IN1$ 及び $\neg IN1$ の振幅は 5 V である。

【0062】

このように、本発明に係る論理回路では駆動電圧よりも低い電圧の入力信号を入力することにより、入力信号線に係る消費電力を抑制することが可能となる。

【0063】

また、図1において、入力信号 $IN2$ 及び $\neg IN2$ の振幅と、入力信号 $IN1$ 及び $\neg IN1$ の振幅が異なっているが、例えばこれらが共に 5 V であっても差し支えない。これは以下の実施形態においても同様である。

【0064】

尚、これ以降に示す図面において、一部の信号では、その反転信号を必要とするものもあるが、図示を省略している場合がある。

【0065】

図2及び図3は本発明に係る論理回路の基本構成を示した図である。図2において、電源電圧は 1.5 V であり、入力信号 $IN2$ 及び $\neg IN2$ の振幅も 1.5 V であるのに対し、入力信号 $IN1$ 及び $\neg IN1$ の振幅は 5 V である。

【0066】

また、pチャネル型トランジスタ $M1$ 及び $M2$ は、それぞれのゲート電極とドレイン電極とが交互に接続されており、ラッチ回路を構成している。一方、入力信号 $IN1$ 及び $\neg IN1$ 、 $IN2$ 及び $\neg IN2$ は、それぞれnチャネル型トランジスタの部分 $CIR1$ 及び $CIR2$ に入力されている。ここで、 $CIR1$ 及び $CIR2$ の構成は、一般的なCMOSロジック回路と同様の構成を有するものである。即ち、 $CIR1$ は、本実施形態の論理回路と同様の論理演算結果を出力するCMOSロジック回路のnチャネル型トランジスタからなる回路部分と同一構成であり、 $CIR2$ は、本実施形態の論理回路と同様の論理演算結果を出力するCMOSロジック回路のpチャネル型トランジスタからなる回路部分と同一構成である。

【0067】

図3は、図2におけるトランジスタのチャネル型を逆転させた場合の例を示す図である。図3において、電源電圧は 1.5 V であり、入力信号 $IN2$ 及び $\neg IN$

2の振幅も15Vであるのに対し、入力信号IN1及び／IN1の振幅は5Vである。但し、入力信号IN1及び／IN1の絶対値は、図2に示した例とは異なっている。

【0068】

また、nチャネル型トランジスタM1及びM2は、それぞれのゲート電極とドレイン電極とが交互に接続されており、ラッチ回路を構成している。一方、入力信号IN1及び／IN1、IN2及び／IN2は、それぞれnチャネル型トランジスタの部分CIR1及びCIR2に入力されている。ここで、CIR1及びCIR2の構成は、一般的なCMOSロジック回路と同様の接続関係を有するものである。即ち、CIR1は、本実施形態の論理回路と同様の論理演算結果を出力するCMOSロジック回路のpチャネル型トランジスタからなる回路部分と同一構成であり、CIR2は、本実施形態の論理回路と同様の論理演算結果を出力するCMOSロジック回路のnチャネル型トランジスタからなる回路部分と同一構成である。

【0069】

図4及び図5は本発明に係る論理回路の他の構成を示した図である。pチャネル型トランジスタM1及びM2は、それぞれのドレイン電極と出力端子間にトランジスタM3及びM4が接続されており、トランジスタM3及びM4のゲート電極は入力端子に接続されている。

【0070】

一方、入力信号IN1及び／IN1、IN2及び／IN2は、それぞれnチャネル型トランジスタの部分CIR1及びCIR2に入力されている。ここで、CIR1及びCIR2の構成は、一般的なCMOSロジック回路と同様の構成を有するものである。即ち、CIR1は、本実施形態の論理回路と同様の論理演算結果を出力するCMOSロジック回路のnチャネル型トランジスタからなる回路部分と同一構成であり、CIR2は、本実施形態の論理回路と同様の論理演算結果を出力するCMOSロジック回路のpチャネル型トランジスタからなる回路部分と同一構成である。

【0071】

図 6 及び図 7 は本発明に係る論理回路の他の構成を示した図である。CIR1 及び CIR2 は n チャンネル型トランジスタで構成され、CIR3 及び CIR4 は p チャンネル型トランジスタで構成されている。ここで、CIR1、CIR2、CIR3 及び CIR4 の構成は、一般的な CMOS ロジック回路と同様の構成を有するものである。即ち、CIR1 及び CIR4 は、本実施形態の論理回路と同様の論理演算結果を出力する CMOS ロジック回路の n チャンネル型トランジスタからなる回路部分と同一構成であり、CIR2 及び CIR3 は、本実施形態の論理回路と同様の論理演算結果を出力する CMOS ロジック回路の p チャンネル型トランジスタからなる回路部分と同一構成である。

p チャンネル型トランジスタ M1 及び M2 は、それぞれの電流経路の電源側に設けられ、ゲート電極が互いに他方の電流経路の出力端子に接続されている。

【0072】

尚、以下の実施形態の説明においては、主に図 2 に示した基本構成に対応する回路図を示すが、図 3 に示したような、トランジスタのチャンネル型を入れ替えた構成であってもよいことは言うまでもない。

【0073】

(実施の形態 2)

次に本発明の論理回路に係る具体的な実施形態について図面を用いて説明する。図 8 は、本発明に係る論理回路の具体的構成例を示した回路図である。本回路は、論理否定積 (NAND) 回路の機能を有するものであるが、入力信号と出力信号の取り方によっては、NAND 回路の他にも、論理否定和 (NOR) 回路、論理積 (AND) 回路、論理和 (OR) 回路の何れにも成りうるものである。即ち、入力信号を IN1 及び IN2 とし、出力信号を /OUT とすると論理否定積回路となり、入力信号を /IN1 及び /IN2 とし、出力信号を OUT とすると論理否定和回路となる。また、入力信号を IN1 及び IN2 とし、出力信号を OUT とすると論理積回路となり、入力信号を /IN1 及び /IN2 とし、出力信号を /OUT とすると論理和回路となる。

【0074】

図 8 に示す構成において、p チャンネル型トランジスタ M1 及び M2 は、それぞ

れのゲート電極とドレイン電極とが相互に接続されており、ラッチ回路を構成している。一方、入力信号 $IN1$ 及び $\neg IN1$ 、 $IN2$ 及び $\neg IN2$ は、 n チャネル型トランジスタの部分に入力されている。具体的に述べると、入力信号 $IN1$ 及び $IN2$ の入力部は、図 35 に示す従来の NAND 回路の n チャネル型トランジスタの部分（または、図 36 に示す従来の NOR 回路の p チャネル型トランジスタの部分）と同様の構成であり、入力信号 $\neg IN1$ 及び $\neg IN2$ の入力部は、図 35 に示す従来の NAND 回路の p チャネル型トランジスタの部分（または、図 36 に示す従来の NOR 回路の n チャネル型トランジスタの部分）と同様の構成である。

【0075】

また、図 8 に示す構成において、振幅が小さい方の入力信号 $IN2$ は、接地電源 GND に近い側のトランジスタ $M4$ に入力されているが、必ずしも接地電源の近い側に入力する必要はなく、遠い側のトランジスタ $M3$ に入力しても、論理的には正常に動作する。これは他の実施形態においても同様である。しかし、トランジスタ $M3$ とトランジスタ $M4$ の接続点の電位が、トランジスタ $M4$ の抵抗分だけ接地電位よりも高くなる場合があり、その場合には、トランジスタ $M3$ のゲートに実質的に印加される電圧が低下し、駆動力も低下するので、入力振幅の小さい信号を接地電位に近い側に入力する方が動作マージンが大きくなり好ましい。

【0076】

尚、上述の実施形態は、入力信号が 2 本（反転信号は含まず）の場合を示したが、入力信号が 3 本以上の場合であっても、同様の構成が可能である。

【0077】

（実施の形態 3）

次に本発明の論理回路に係る他の実施形態について図面を用いて説明する。図 9 及び図 10 は、本発明に係る論理回路の他の具体的構成例を示した回路図である。

【0078】

本回路は、論理積－論理否定和（AND－NOR）回路の機能を有するもので

あるが、入力信号と出力信号の取り方によっては、AND-NOR回路の他にも、論理和-論理否定積（OR-NAND）回路、論理積-論理和（AND-OR）回路、論理和-論理積（OR-AND）回路の何れにも成りうるものである。即ち、入力信号をIN1、IN2及びIN3とし、出力信号をOUTとすると、論理積-論理否定和回路となり、入力信号を \neg IN1、 \neg IN2及び \neg IN3とし、出力信号をOUTとすると、論理和-論理否定積回路となる。また、入力信号をIN1、IN2及びIN3とし、出力信号をOUTとすると、論理積-論理和回路となり、入力信号を \neg IN1、 \neg IN2及び \neg IN3とし、出力信号を \neg OUTとすると、論理和-論理積回路となる。

【0079】

図9及び図10に示した構成において、pチャネル型トランジスタM1及びM2は、それぞれのゲート電極とドレイン電極とが交互に接続されており、ラッチ回路を構成している。一方、入力信号IN1及び \neg IN1、IN2及び \neg IN2、IN3及び \neg IN3は、nチャネル型トランジスタの部分に入力されている。具体的に述べると、入力信号IN1、IN2及びIN3の入力部は、図37に示す従来のAND-NOR回路のnチャネル型トランジスタの部分（または、図38に示す従来のOR-NAND回路のpチャネル型トランジスタの部分）と同様の構成であり、入力信号 \neg IN1、 \neg IN2及び \neg IN3の入力部は、図37に示す従来のAND-NOR回路のpチャネル型トランジスタの部分（または、図38に示す従来のOR-NAND回路のnチャネル型トランジスタの部分）と同様の構成である。

【0080】

また、図9は、入力信号IN1及び \neg IN1が接地電位に近い側のトランジスタに入力されており、これは、入力信号IN2及び \neg IN2の振幅が小さい場合に適した構成である。一方、図10は、入力信号 \neg IN3が接地電位に近い側のトランジスタに入力されており、これは、入力信号IN3及び \neg IN3の振幅が小さい場合に適した構成である。

【0081】

（実施の形態4）

次に本発明の論理回路に係る他の実施形態について図面を用いて説明する。図 11、図 12 及び図 13 は、本発明に係る論理回路の具体的構成例を示した回路図である。図 11 に示す回路は、論理否定積 (NAND) 回路の機能を有するものであるが、入力信号と出力信号の取り方によっては、NAND 回路の他にも、論理否定和 (NOR) 回路、論理積 (AND) 回路、論理和 (OR) 回路の何れにも成りうるものである。即ち、入力信号を IN1 及び IN2 とし、出力信号を /OUT とすると論理否定積回路となり、入力信号を /IN1 及び /IN2 とし、出力信号を OUT とすると論理否定和回路となる。また、入力信号を IN1 及び IN2 とし、出力信号を OUT とすると論理積回路となり、入力信号を /IN1 及び /IN2 とし、出力信号を /OUT とすると論理和回路となる。

【0082】

図 11 に示す構成において、p チャネル型トランジスタ M1 及び M2 のドレイン電極と出力端子の間には、それぞれトランジスタ M3 及び M4 が接続されており、トランジスタ M3 及び M4 のゲート電極は、それぞれ入力信号 IN2 及び /IN2 に接続されている。

一方、入力信号 IN1 及び /IN1、IN2 及び /IN2 は、n チャネル型トランジスタの部分に入力されている。具体的に述べると、入力信号 IN1 及び IN2 の入力部は、図 35 に示す従来の NAND 回路の n チャネル型トランジスタの部分（または、図 36 に示す従来の NOR 回路の p チャネル型トランジスタの部分）と同様の構成であり、入力信号 /IN1 及び /IN2 の入力部は、図 35 に示す従来の NAND 回路の p チャネル型トランジスタの部分（または、図 36 に示す従来の NOR 回路の n チャネル型トランジスタの部分）と同様の構成である。

【0083】

図 12 に示す回路は、論理積－論理否定和 (AND-NOR) 回路の機能を有するものであるが、入力信号と出力信号の取り方によっては、AND-NOR 回路の他にも、論理和－論理否定積 (OR-NAND) 回路、論理積－論理和 (AND-OR) 回路、論理和－論理積 (OR-AND) 回路の何れにも成りうるものである。即ち、入力信号を IN1、IN2 及び IN3 とし、出力信号を /OU

Tとすると、論理積－論理否定和回路となり、入力信号を／IN 1、／IN 2及び／IN 3とし、出力信号をOUTとすると、論理和－論理否定積回路となる。また、入力信号をIN 1、IN 2及びIN 3とし、出力信号をOUTとすると、論理積－論理和回路となり、入力信号を／IN 1、／IN 2及び／IN 3とし、出力信号を／OUTとすると、論理和－論理積回路となる。

【0084】

図12に示した構成において、pチャネル型トランジスタM1及びM2のドレイン電極と出力端子の間には、それぞれトランジスタM3及びM4が接続されており、トランジスタM3及びM4のゲート電極は、それぞれ入力信号IN 1及び／IN 1に接続されている。

【0085】

一方、入力信号IN 1及び／IN 1、IN 2及び／IN 2、IN 3及び／IN 3は、nチャネル型トランジスタの部分に入力されている。具体的に述べると、入力信号IN 1、IN 2及びIN 3の入力部は、図37に示す従来のAND－NOR回路のnチャネル型トランジスタの部分（または、図38に示す従来のOR－NAND回路のpチャネル型トランジスタの部分）と同様の構成であり、入力信号／IN 1、／IN 2及び／IN 3の入力部は、図37に示す従来のAND－NOR回路のpチャネル型トランジスタの部分（または、図38に示す従来のOR－NAND回路のnチャネル型トランジスタの部分）と同様の構成である。

【0086】

また、図12は、入力信号IN 1及び／IN 1が接地電位に近い側のトランジスタに入力されており、これは、入力信号IN 2及び／IN 2の振幅が小さい場合に適した構成である。

【0087】

また、図13に示す構成において、pチャネル型トランジスタM1及びM2のドレイン電極と出力端子の間には、それぞれトランジスタM3及びM4、M5及びM6が接続されており、トランジスタM3及びM4のゲート電極は、それぞれ入力信号IN 1及びIN 2に接続され、トランジスタM5及びM6のゲート電極は、それぞれ入力信号／IN 1及び／IN 2に接続されている。

【 0 0 8 8 】

入力信号 IN 2、IN 3 及び / IN 1、/ IN 2 の入力部は、図 3 5 に示す従来の AND-NOR 回路の n チャネル型トランジスタの部分（または、図 3 6 に示す従来の OR-NAND 回路の p チャネル型トランジスタの部分）と同様の構成であり、入力信号 IN 1、IN 2 及び / IN 2、/ IN 3 の入力部は、図 3 5 に示す従来の AND-NOR 回路の p チャネル型トランジスタの部分（または、図 3 6 に示す従来の OR-NAND 回路の n チャネル型トランジスタの部分）と同様の構成である。

【 0 0 8 9 】

（実施の形態 5）

次に本発明の論理回路に係る他の実施形態について図面を用いて説明する。図 1 4 は、本発明に係る論理回路の具体的構成例を示した回路図である。

【 0 0 9 0 】

図 1 4 に示す構成において、p チャネル型トランジスタ M 1 及び M 2 のドレイン電極と出力端子の間には、それぞれトランジスタ M 3、M 4 及び M 5、M 6、M 7 及び M 8 が接続されており、トランジスタ M 3、M 4 及び M 5 のゲート電極は、それぞれ入力信号 IN 1、IN 2 及び IN 3 に接続され、トランジスタ M 6、M 7 及び M 8 のゲート電極は、それぞれ入力信号 / IN 1、/ IN 2 及び / IN 3 に接続されている。

【 0 0 9 1 】

入力信号 IN 4、IN 5、IN 6 及び / IN 1、/ IN 2、/ IN 3 の入力部は、図 3 7 に示す従来の AND-NOR 回路の n チャネル型トランジスタの部分（または、図 3 8 に示す従来の OR-NAND 回路の p チャネル型トランジスタの部分）と同様の構成であり、入力信号 IN 1、IN 2、IN 3 及び / IN 4、/ IN 5、/ IN 6 の入力部は、図 3 7 に示す従来の AND-NOR 回路の p チャネル型トランジスタの部分（または、図 3 8 に示す従来の OR-NAND 回路の n チャネル型トランジスタの部分）と同様の構成である。

【 0 0 9 2 】

（実施の形態 6）

次に本発明の論理回路に係る他の実施形態について図面を用いて説明する。図 15、図 16、図 17 及び図 18 は、図 8 に示した NAND 回路の変形例を示した回路図であり、図 19、図 20、図 21 及び図 22 は、図 11 に示した NAND 回路の変形例を示した回路図である。

【0093】

図 15 においては、図 8 における入力信号 IN2 及び \neg IN2 が、転送用トランジスタ M7 及び M8 を介して、トランジスタ M4 及び M6 に入力される構成となっている。

【0094】

この転送用トランジスタ M7 及び M8 のゲート電極には、制御信号 CRL が入力されており、必要な期間（出力が切り替わる可能性がある期間）だけ転送用トランジスタを開く（接続する）ことにより、入力信号 IN2 及び \neg IN2 の信号線の負荷を軽減することができる。例えば、入力信号 IN2 のパルス幅が、入力信号 IN1 のパルス幅よりも小さい場合（入力信号 IN2 のパルスが入力信号 IN1 のパルスに含まれる場合）には、上述の制御信号 CRL として入力信号 IN1 を用いればよい。これは、図 16 及び図 17 の例に関しても同様である。

【0095】

図 16 においては、図 15 の構成に加えて、入力信号 IN2 及び \neg IN2 が入力されるトランジスタ M4 及び M6 と、転送用トランジスタ M7 及び M8 との間に、接地トランジスタ M9 及び M10 が配置されている。

【0096】

この接地トランジスタ M9 及び M10 は、転送用トランジスタ M7 及び M8 が非接続状態になったときに、電氣的に浮遊状態になって誤動作することを防止するための誤動作防止手段である。この接地トランジスタ M9 及び M10 は常時接続状態にあるので、制御信号 CRL がアクティブのときには入力信号 IN2 及び \neg IN2 が優先されるように、駆動力を小さくしておく必要がある。また、図 16 に示す構成においては、誤動作防止手段としての接地トランジスタ M9 及び M10 は抵抗であっても差し支えない。

【0097】

図 17 においては、図 15 の構成に加えて、入力信号 IN2 及び / IN2 が入力されるトランジスタ M4 及び M6 と、転送用トランジスタ M7 及び M8 との間に、接地トランジスタ M9 及び M10 が配置されているが、そのゲート電極は、転送用トランジスタに入力される制御信号の反転信号 / CRL が入力されている。

【0098】

この接地トランジスタ M9 及び M10 は、図 16 の例と同様に、転送用トランジスタ M7 及び M8 が非接続状態になったときに、電氣的に浮遊状態になって誤動作することを防止するためのものである。このとき、接地トランジスタ M9 及び M10 は、転送用トランジスタが非接続状態になったときだけ接地電位に接続されるので、トランジスタの駆動力に拘わらず信号入力部の電位降下をもたらすことはない。

【0099】

図 18 においては、図 17 の構成において、転送用トランジスタ M7 のゲート電極には、トランジスタ M3 に入力される信号 IN1 が入力されている。

【0100】

このように入力信号の内の 1 つを転送用トランジスタの制御信号として用いることにより、端子数を削減することができる。

【0101】

尚、説明を省略したが図 19、図 20、図 21 及び図 22 に示した構成においては、転送用トランジスタは M9 及び M10 で示され、接地トランジスタは M11 及び M12 で示されている。また、これらの構成は、上述の図 15、図 16、図 17 及び図 18 と同様の作用、効果を奏するものである。

【0102】

(実施の形態 7)

次に本発明の画像表示装置に係る実施形態について図面を用いて説明する。図 23 及び図 24 は、本発明に係る画像表示装置の構成例を示した図である。

【0103】

図 23 における構成は、従来の画像表示装置と同一のものであり、マトリクス

状に配置された画素PIXからなる画素アレイARYと、走査信号線駆動回路（ゲートドライバ）GDと、データ信号線駆動回路（データドライバ）SDとからなるアクティブマトリクス型液晶表示装置であるが、そのデータ信号線駆動回路SD及び走査信号線駆動回路の少なくともいずれか一方が、上述の論理回路を有している。尚、画素PIX部分の構成例は図24に示したとおりである。

【0104】

画像表示装置としての液晶表示装置においては、液晶素子を駆動するために、1.0～2.0Vの比較的高い駆動電圧を必要とするので、駆動回路もこれに近い電圧で駆動されることが一般的である。これに対して、画像表示装置に入力される信号は、ICで生成されるので、通常3.3～5Vである。したがって、この間に何らかの電圧変換回路（レベルシフト回路）を介することになるが、本発明によれば、上述したように、駆動回路内の論理回路がレベルシフト機能を有しているので、別途レベルシフト回路を付加することなく、良好な画像表示を実現することができる。

【0105】

図25は本発明に係る画像表示装置に用いられるデータ信号線駆動回路の構成例を示した図であり、図26及び図28は本発明に係る画像表示装置に用いられる走査信号線駆動回路の構成例を示した図である。

【0106】

図25に示すデータ信号線駆動回路の構成例において、データ信号線駆動回路は、1.5Vの電源電圧で駆動されているが、入力信号PCSの振幅は5Vである。これは、入力信号PCSが入力される論理否定積回路LS_NANDに、上述の論理回路を採用することで実現することができる。

【0107】

このときの信号波形を図29に示す。これにより、シフトレジスタ回路の出力信号Nよりもパルス幅の小さい信号Oを生成することができる。

【0108】

また、クロック信号CKSの振幅も5Vであるが、これは、図27に示すようなラッチ回路により構成したシフトレジスタ回路を用いることにより実現するこ

とができる。また、開始信号SPSの振幅は15Vとしているが、これは、図42乃至図43に示す従来のレベルシフタ回路を用いて5Vから昇圧することができる。これらを組み合わせることにより、電圧15Vで駆動されるデータ信号線駆動回路のすべての入力信号を5V振幅とすることができる。

【0109】

図26に示す走査信号線駆動回路の構成例において、走査信号線駆動回路は、15Vの電源電圧で駆動されているが、入力信号PCGの振幅は5Vである。これは、入力信号PCGが入力される論理否定和回路LS_NORに、上述の論理回路を採用することで実現することができる。

【0110】

このときの信号波形を図30に示す。これにより、シフトレジスタ回路の出力信号Nよりもパルス幅の小さい信号Oを生成することができる。

【0111】

また、クロック信号CKGの振幅も5Vであるが、これは、図27に示すようなラッチ回路により構成したシフトレジスタ回路を用いることにより実現することができる。また、開始信号SPGの振幅は15Vとしているが、これは、図42乃至図43に示す従来のレベルシフタ回路を用いて5Vから昇圧することができる。これらを組み合わせることにより、電圧15Vで駆動される走査信号線駆動回路のすべての入力信号を5V振幅とすることができる。

【0112】

図28に示す走査信号線駆動回路の構成例において、走査信号線駆動回路は、15Vの電源電圧で駆動されているが、入力信号FR1及びFR2の振幅は5Vである。これは、入力信号FR1及びFR2が入力される論理否定和回路LS_NORに、上述の論理回路を採用することで実現することができる。

【0113】

このときの信号波形を図31に示す。入力信号FR1及びFR2の信号レベルによって、図31に示すように、信号出力の組み合わせを変えることが可能となるので、2水平ライン組み違い走査を実現することができる。

また、クロック信号CKGの振幅も5Vであるが、これは、図27に示すような

ラッチ回路により構成したシフトレジスタ回路を用いることにより実現することができる。また、開始信号SPGの振幅は15Vとしているが、これは、図42ないし図43に示す従来のレベルシフタ回路を用いて5Vから昇圧することができる。これらを組み合わせることにより、電圧15Vで駆動される走査信号線駆動回路のすべての入力信号を5V振幅とすることができる。

本発明の対象技術である論理回路及び画像表示装置の例として、ここでは、液晶表示装置と、そのデータ信号線駆動回路及び走査信号線駆動回路を構成する論理演算回路について述べる。ただし、本発明はこれに限定されることなく、他の画像表示装置や他の論理演算回路についても有効なものである。

【0114】

(実施の形態8)

次に本発明に係る画像表示装置の他の実施形態について図面を用いて説明する。図32は、本発明に係る画像表示装置の他の構成例を示した図である。

【0115】

図32示した画像表示装置においては、画素PIXと、データ信号線駆動回路SDと、走査信号線駆動回路GDとは、同一基板SUB上に構成されており（ドライバモノリシック構造）、外部コントロール回路CTLからの信号と、外部電源回路VGENからの駆動電源とによって駆動している。

【0116】

このような構成においては、データ信号線駆動回路及び走査信号線駆動回路は、画面（表示領域）とほぼ同じ長さの領域に広く分散して配置されているので、入力信号などの配線長は極めて長くなっている。したがって、入力信号配線などの負荷容量も極めて大きくなるので、信号振幅を小さくすることによる低消費電力化の効果が大きい。

【0117】

また、データ信号線駆動回路及び走査信号線駆動回路を画素と同一基板上に（モノリシックに）形成することにより、別々に構成して実装するよりも、駆動回路の製造コストや実装コストの低減を図ることができるとともに、信頼性の向上にも効果がある。

【0118】

図33は、本発明に係る画像表示装置を構成する多結晶シリコン薄膜トランジスタの構造例を示した図である。

【0119】

図33に示す多結晶シリコン薄膜トランジスタは、絶縁性基板上の多結晶シリコン薄膜を活性層とする順スタガー（トップゲート）構造のものであるが、本発明はこれに限るものではなく、逆スタガー構造等の他の構造のものであってよい。

【0120】

上記のような多結晶シリコン薄膜トランジスタを用いることによって、実用的な駆動能力を有する走査信号線駆動回路及びデータ信号線駆動回路を、画素アレイと同一基板上にほぼ同一の製造工程で構成することができる。

【0121】

図34は、本発明に係る画像表示装置を構成する多結晶シリコン薄膜トランジスタの製造工程を示す構造断面図の例である。

【0122】

以下に、概ね摂氏600℃以下で多結晶シリコン薄膜トランジスタを形成するときの製造プロセスについて、簡単に説明する。図34は、本発明に係る画像表示装置を構成する薄膜トランジスタの製造工程の例を示した図である。図34（a）～（k）は、各工程での断面図である。

【0123】

図34においては、まず、ガラス基板（a）上に堆積した非晶質シリコン薄膜（b）に、エキシマレーザを照射して、多結晶シリコン薄膜を形成する（c）。次に、この多結晶シリコン薄膜を所望の形状にパターニングし（d）、二酸化シリコンからなるゲート絶縁膜を形成する（e）。更に、薄膜トランジスタのゲート電極をアルミニウム等で形成（f）した後、薄膜トランジスタのソース・ドレイン領域に不純物（n型領域には磷、p型領域には硼素）を注入する（g, h）。その後、二酸化シリコンまたは窒化シリコン等からなる層間絶縁膜を堆積し（i）、コンタクトホールを開口（j）した後、アルミニウム等の金属配線を形成

する。この工程において、プロセスの最高温度は、ゲート絶縁膜形成時の 6 0 0℃であるので、米国コーニング社の 1 7 3 7 ガラス等の高耐熱性ガラスが使用できる。

【0 1 2 4】

尚、液晶表示装置においては、この後に、更に、別の層間絶縁膜を介して、透明電極（透過型液晶表示装置の場合）や反射電極（反射型液晶表示装置の場合）を形成することになる。

【0 1 2 5】

ここで、図 3 4 に示すような製造工程で、多結晶シリコン薄膜トランジスタを、概ね摂氏 6 0 0℃以下で形成することにより、安価で大面積のガラス基板を用いることができるようになるので、画像表示装置の低価格化と大面積化が実現される。

【0 1 2 6】

以上のように、本発明の論理回路及びこの論理回路を画像表示装置に適用した場合について各種の実施形態によって具体的に説明したが、本発明は全ての実施形態において、論理回路を構成するトランジスタの極性、電源及び信号の極性等を逆にしても論理回路として成立し、実施形態に示す同様の効果が期待できる。また、論理回路への入力信号数に関しても特に制限はない。また、本発明はこの上述の実施形態に限定されるものではなく、その要旨を逸脱せず、当初の作用効果を損なわない範囲において種々の変更が可能であることは言うまでもない。

【0 1 2 7】

【発明の効果】

上述したように、本発明は駆動回路の消費電力を低減することができる論理回路及びそれを用いた画像表示装置を提供するものである。

【0 1 2 8】

本発明の論理回路によれば、外部からの入力信号の振幅を、駆動電圧よりも小さくすることができるので、外部回路の負荷を小さくすることができる。

【0 1 2 9】

また、本発明の論理回路を信号線駆動回路に採用した画像表示装置においては

、入力されるロジック信号の振幅を小さくすることができるので、画像の表示品位の低下を招くことなしに、外部コントローラ IC などの負担を軽くすることができる。

【0130】

特に、多結晶シリコン薄膜トランジスタを用いて、走査信号線駆動回路及びデータ信号線駆動回路を画素と同一基板上に形成する場合には、多結晶シリコン薄膜トランジスタ駆動力が単結晶シリコントランジスタに比べて小さいにもかかわらず、走査信号線駆動回路及びデータ信号線駆動回路は、画像表示装置の辺方向に広く分散配置されているので、入力信号線の負荷が大きい。従って、それらによる表示不良や消費電力の増大が懸念されるので、本発明の論理回路を採用する利点は極めて大きくなる。

【0131】

以上のように本発明は画像表示装置の低消費電力化を実現するものであり、今後の情報化社会に欠かすことのできない画像表示装置、とりわけ駆動回路一体型液晶表示装置あるいはそれを搭載した携帯機器等の性能や付加価値の向上に大きな効果を奏するものである。

【図面の簡単な説明】

【図1】

本発明に係る論理回路の構成を示すブロック図である。

【図2】

本発明に係る論理回路の構成例を示すブロック図である。

【図3】

本発明に係る論理回路の他の構成例を示すブロック図である。

【図4】

本発明に係る論理回路の他の構成例を示すブロック図である。

【図5】

本発明に係る論理回路の他の構成例を示すブロック図である。

【図6】

本発明に係る論理回路の他の構成例を示すブロック図である。

【図 7】

本発明に係る論理回路の他の構成例を示すブロック図である。

【図 8】

本発明に係る論理回路の具体例を示す回路図である。

【図 9】

本発明に係る論理回路の他の具体例を示す回路図である。

【図 10】

本発明に係る論理回路の他の具体例を示す回路図である。

【図 11】

本発明に係る論理回路の他の具体例を示す回路図である。

【図 12】

本発明に係る論理回路の他の具体例を示す回路図である。

【図 13】

本発明に係る論理回路の他の具体例を示す回路図である。

【図 14】

本発明に係る論理回路の他の具体例を示す回路図である。

【図 15】

本発明に係る論理回路の変形例を示す回路図である。

【図 16】

本発明に係る論理回路の他の変形例を示す回路図である。

【図 17】

本発明に係る論理回路の他の変形例を示す回路図である。

【図 18】

本発明に係る論理回路の他の変形例を示す回路図である。

【図 19】

本発明に係る論理回路の他の変形例を示す回路図である。

【図 20】

本発明に係る論理回路の他の変形例を示す回路図である。

【図 21】

本発明に係る論理回路の他の変形例を示す回路図である。

【図 2 2】

本発明に係る論理回路の他の変形例を示す回路図である。

【図 2 3】

本発明に係る画像表示装置の構成例を示すブロック図である。

【図 2 4】

本発明に係る画像表示装置における画素の内部構造の例を示す図である。

【図 2 5】

本発明に係る画像表示装置におけるデータ信号線駆動回路の構成例を示す図である。

【図 2 6】

本発明に係る画像表示装置における走査信号線駆動回路の構成例を示す図である。

【図 2 7】

本発明に係る画像表示装置の駆動回路に用いられるラッチ回路の構成例を示す図である。

【図 2 8】

本発明に係る画像表示装置における走査信号線駆動回路の他の構成例を示す図である。

【図 2 9】

本発明に係る画像表示装置におけるデータ信号線駆動回路の信号波形の例を示す図である。

【図 3 0】

本発明に係る画像表示装置における走査信号線駆動回路の信号波形の例を示す図である。

【図 3 1】

本発明に係る画像表示装置における走査信号線駆動回路の信号波形の例を示す図である。

【図 3 2】

本発明に係る画像表示装置の他の構成例を示すブロック図である。

【図 3 3】

本発明に係る画像表示装置を構成する多結晶シリコン薄膜トランジスタの断面構造の例を示す図である。

【図 3 4】

本発明に係る画像表示装置を構成する多結晶シリコン薄膜トランジスタの製造工程の例を示す図である。

【図 3 5】

従来の CMOS 回路における論理否定積回路の構成を示す回路図である。

【図 3 6】

従来の CMOS 回路における論理否定和回路の構成を示す回路図である。

【図 3 7】

従来の CMOS 回路における論理積－論理否定和回路の構成を示す回路図である。

【図 3 8】

従来の CMOS 回路における論理和－論理否定積回路の構成を示す回路図である。

【図 3 9】

従来のデータ信号線駆動回路の構成例を示す回路図である。

【図 4 0】

従来の走査信号線駆動回路の構成例を示す回路図である。

【図 4 1】

従来の走査信号線駆動回路の他の構成例を示す回路図である。

【図 4 2】

従来のレベルシフト回路の構成例を示す回路図である。

【図 4 3】

従来のレベルシフト回路の他の構成例を示す回路図である。

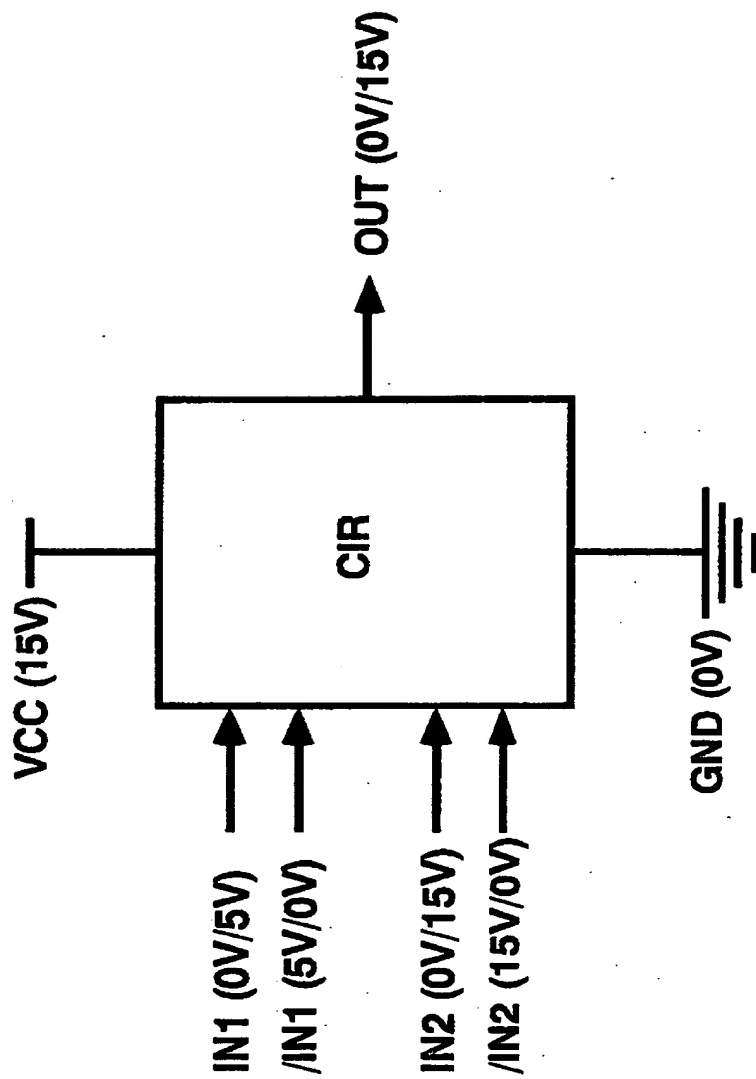
【符号の説明】

IN 1、／ IN 1 入力信号

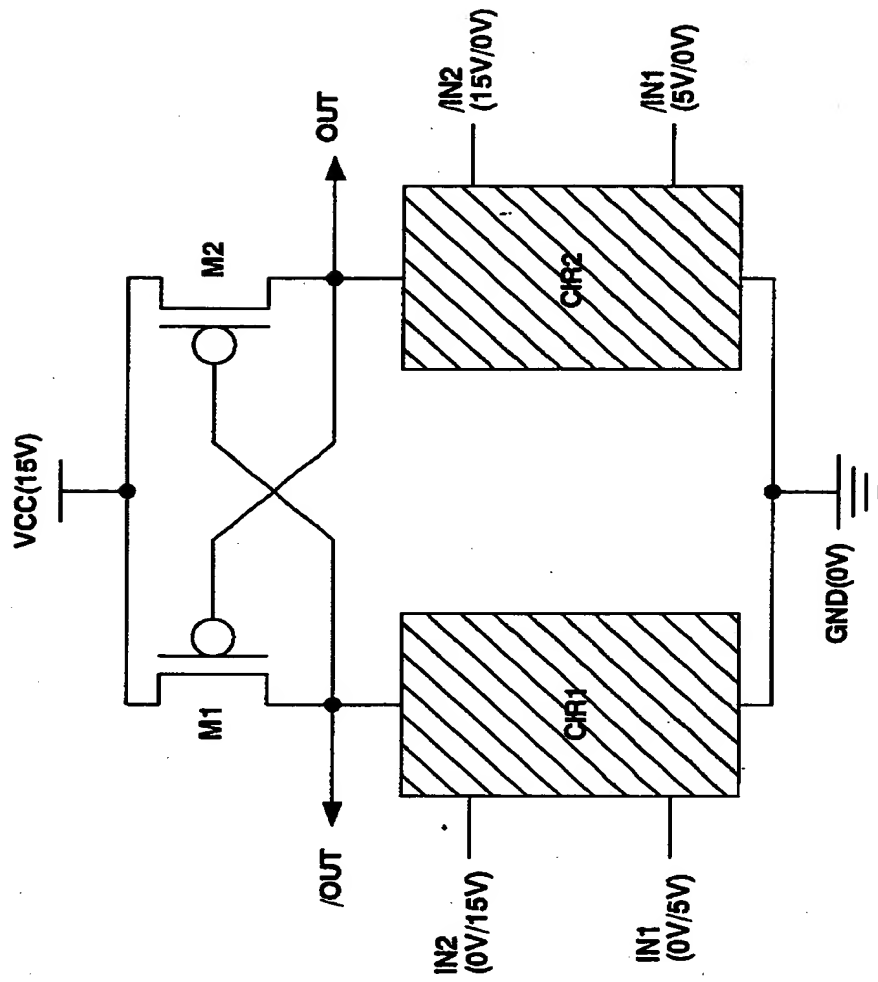
OUT、/OUT	出力信号
CK、/CK、CKS、CKG	クロック信号
SPS、SPG	スタート信号
PCS、PCG	パルス幅制御信号
FR1、FR2	フレーム切り替え信号
DAT	映像信号
LS_NAND	レベルシフタ・NAND
LS_NOR	レベルシフタ・NOR
LS_SR	レベルシフタ・ラッチ
SR	ラッチ回路
AS	アナログスイッチ
SL	データ信号線
GL	走査信号線
SD	データ信号線駆動回路（データドライバ）
GD	走査信号線駆動回路（ゲートドライバ）
PIX	画素
ARY	画素アレイ
GPS	パルス信号
CL	液晶容量
CS	補助容量
SW	画素スイッチ（トランジスタ）
VSH、VGH	電源端子
VSL、VGL	接地端子
LS	レベルシフタ回路
VGEN	電源回路
CTL	タイミング回路，コントロール回路
SUB	基板
COM	コモン端子

【書類名】 図面

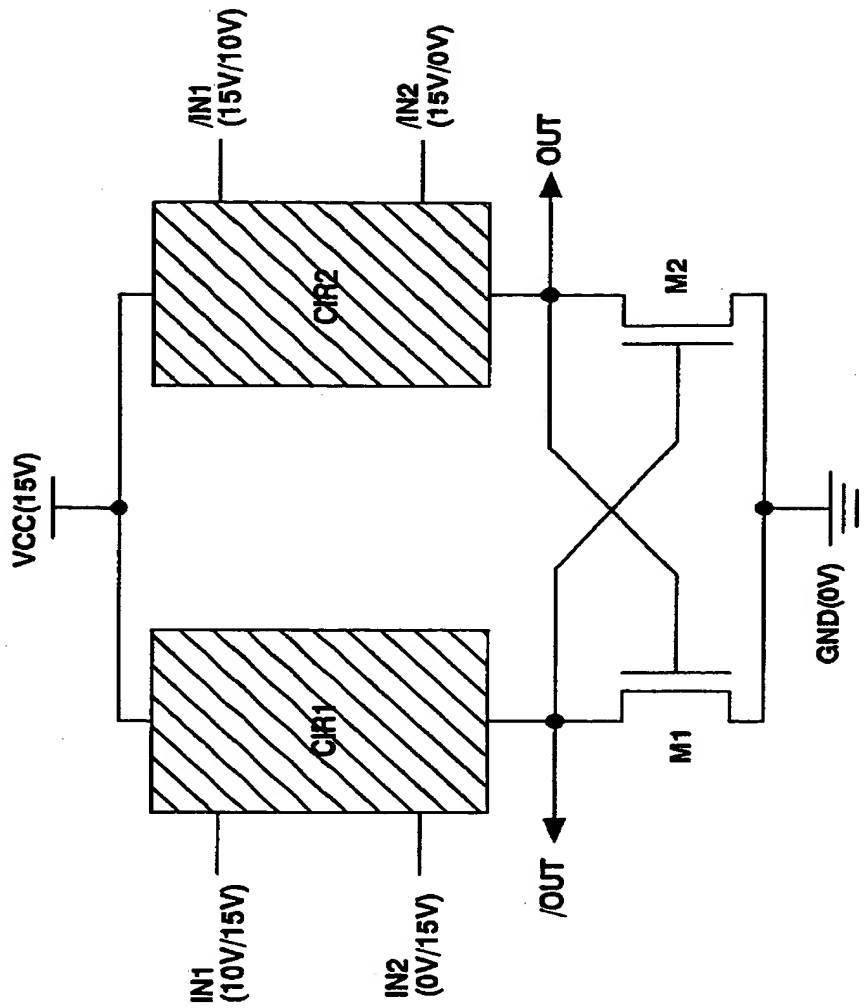
【図 1】



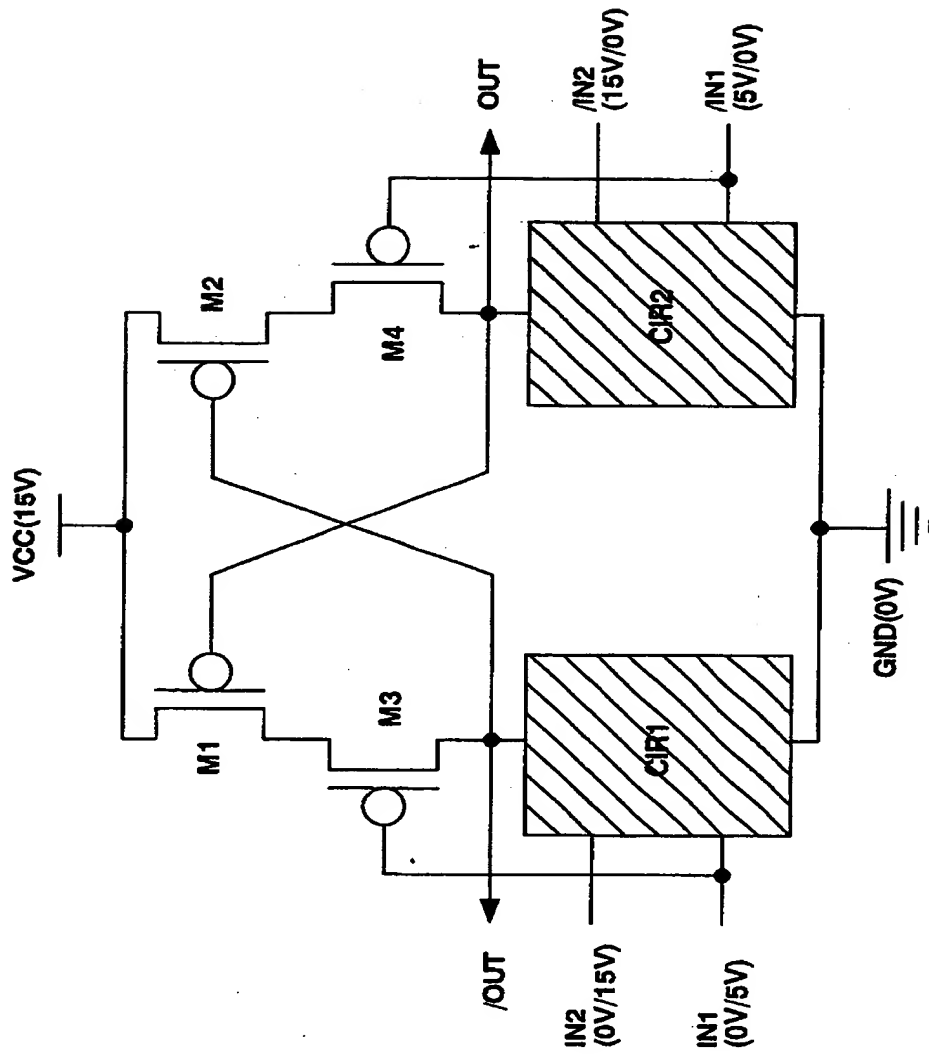
【図 2】



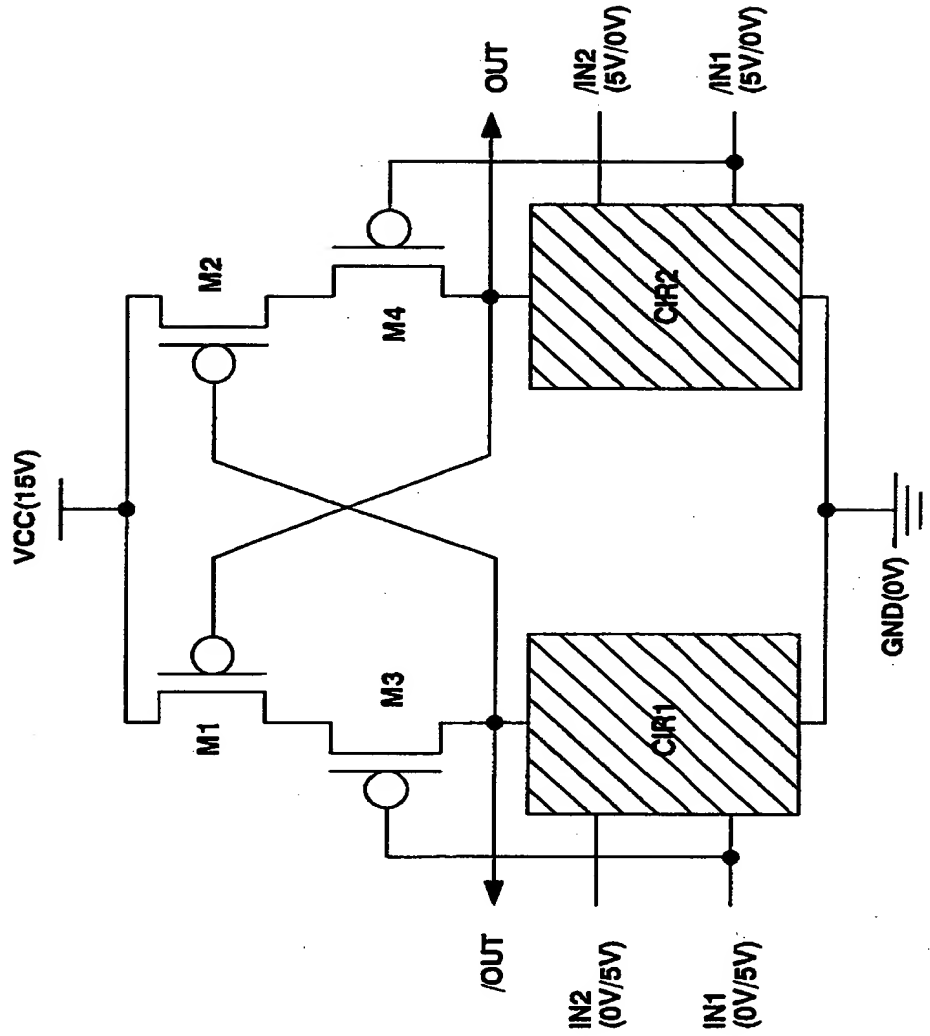
【図 3】



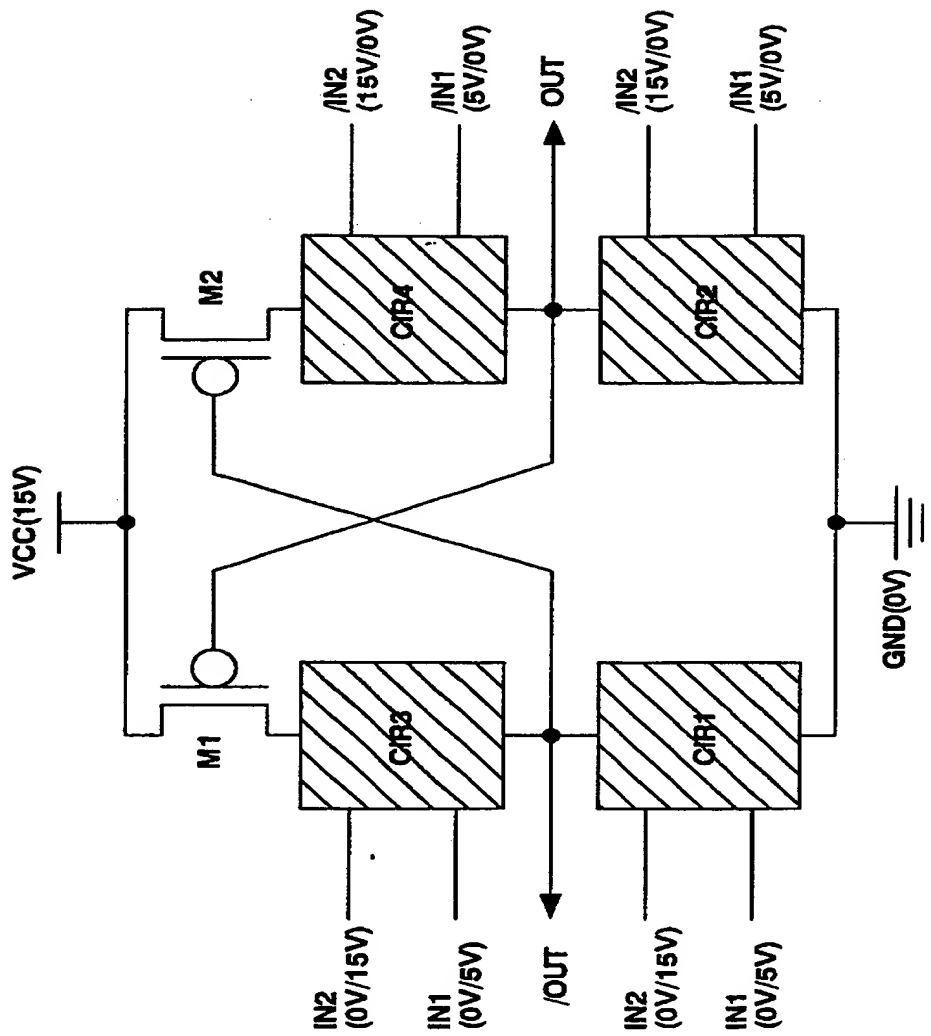
【图 4】



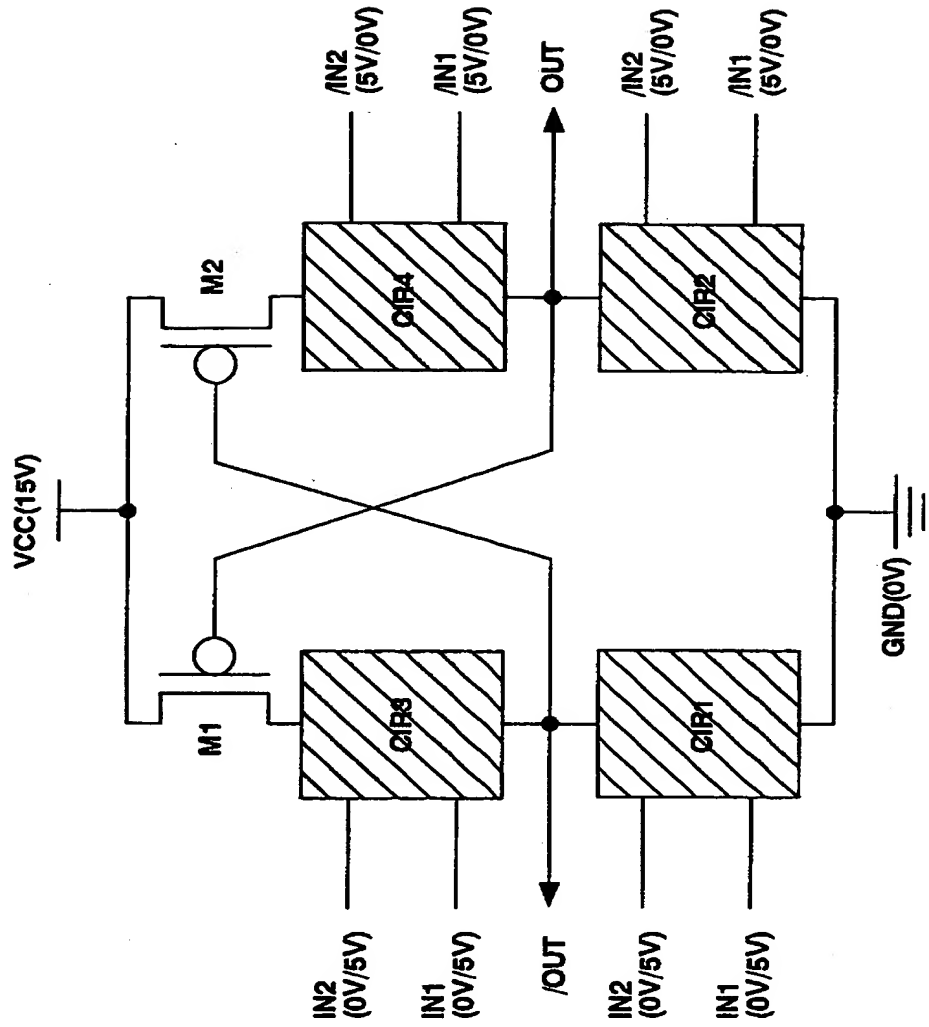
【图 5】



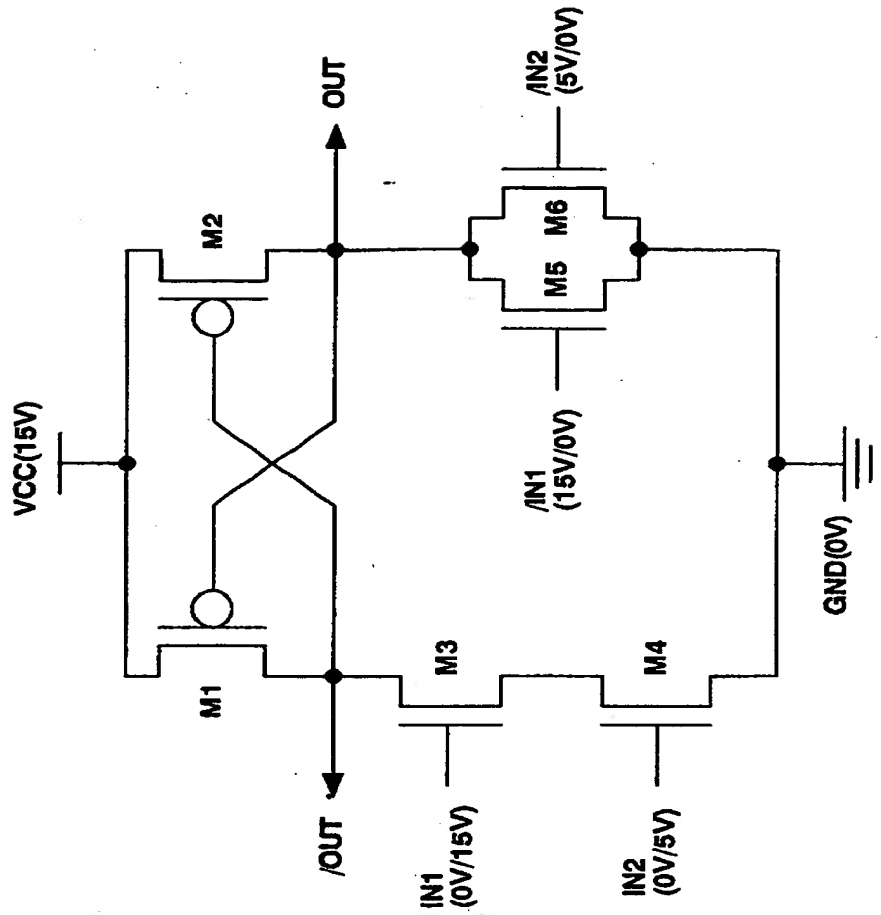
【図 6】



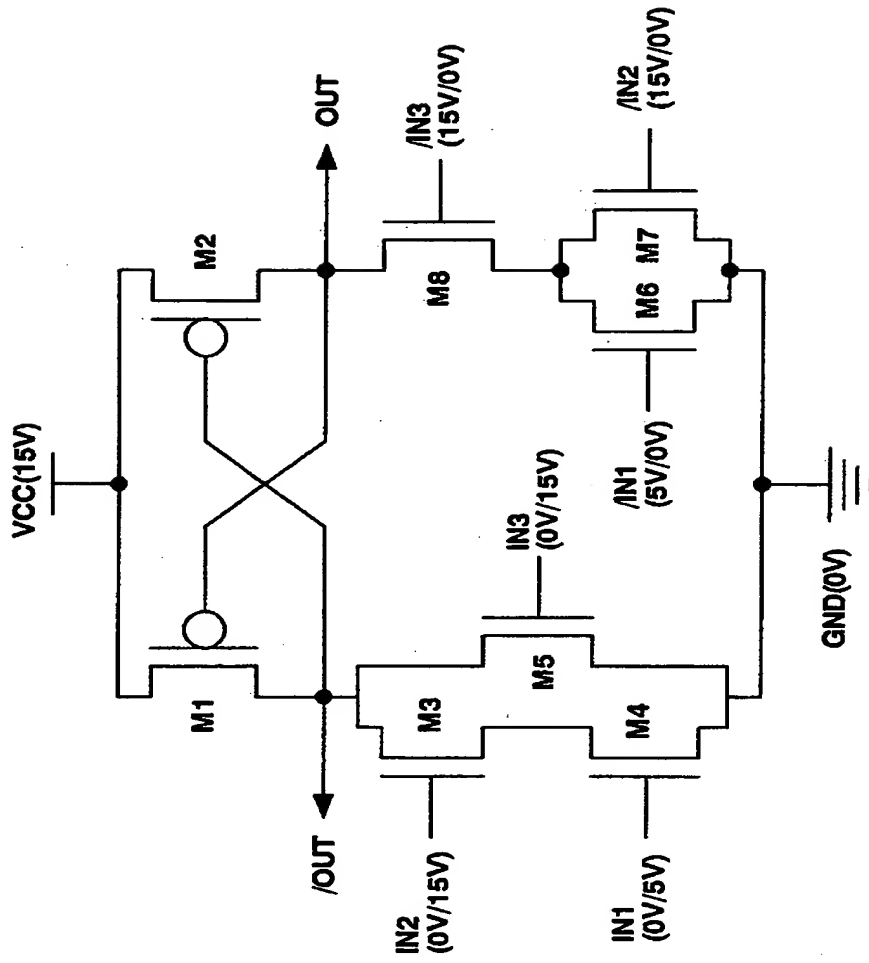
【图 7】



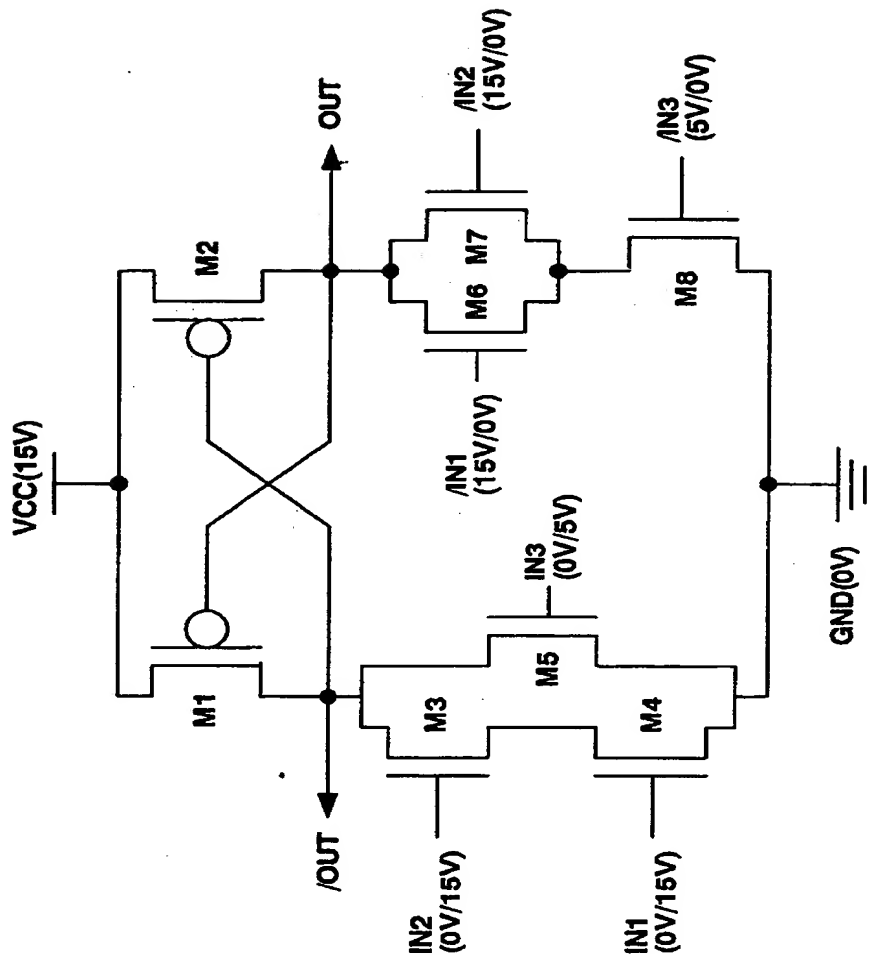
【図 8】



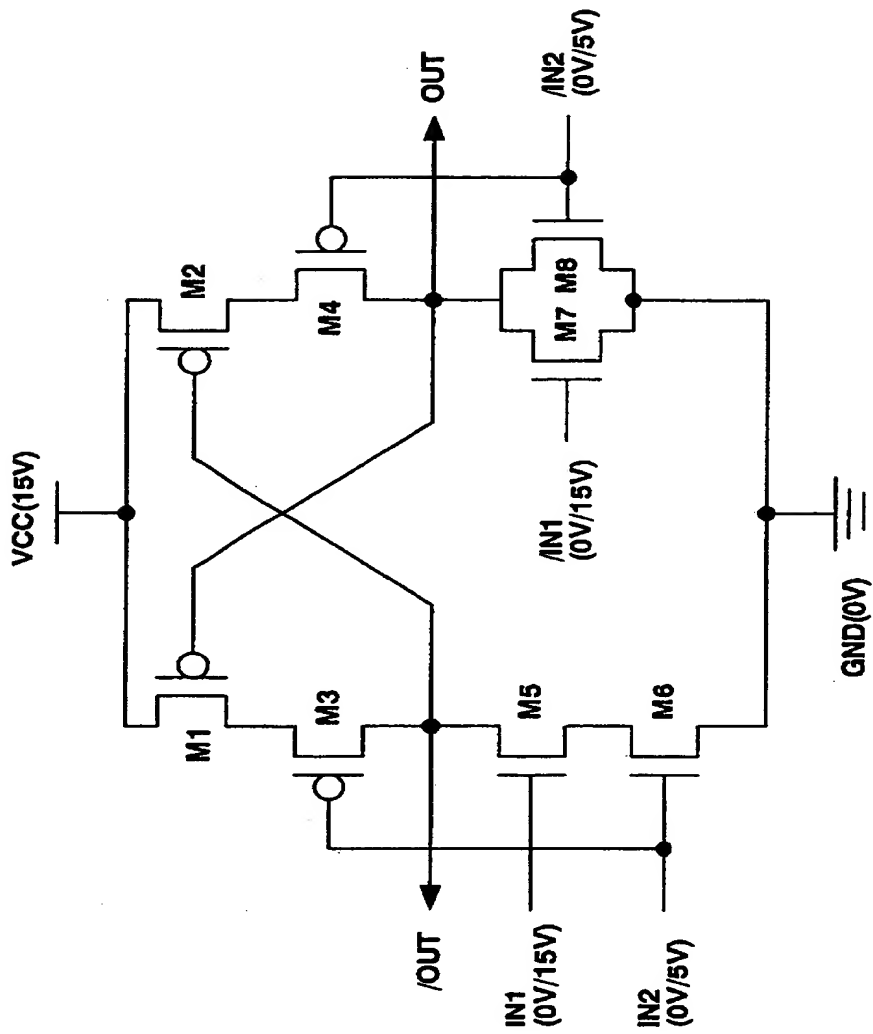
【図 9】



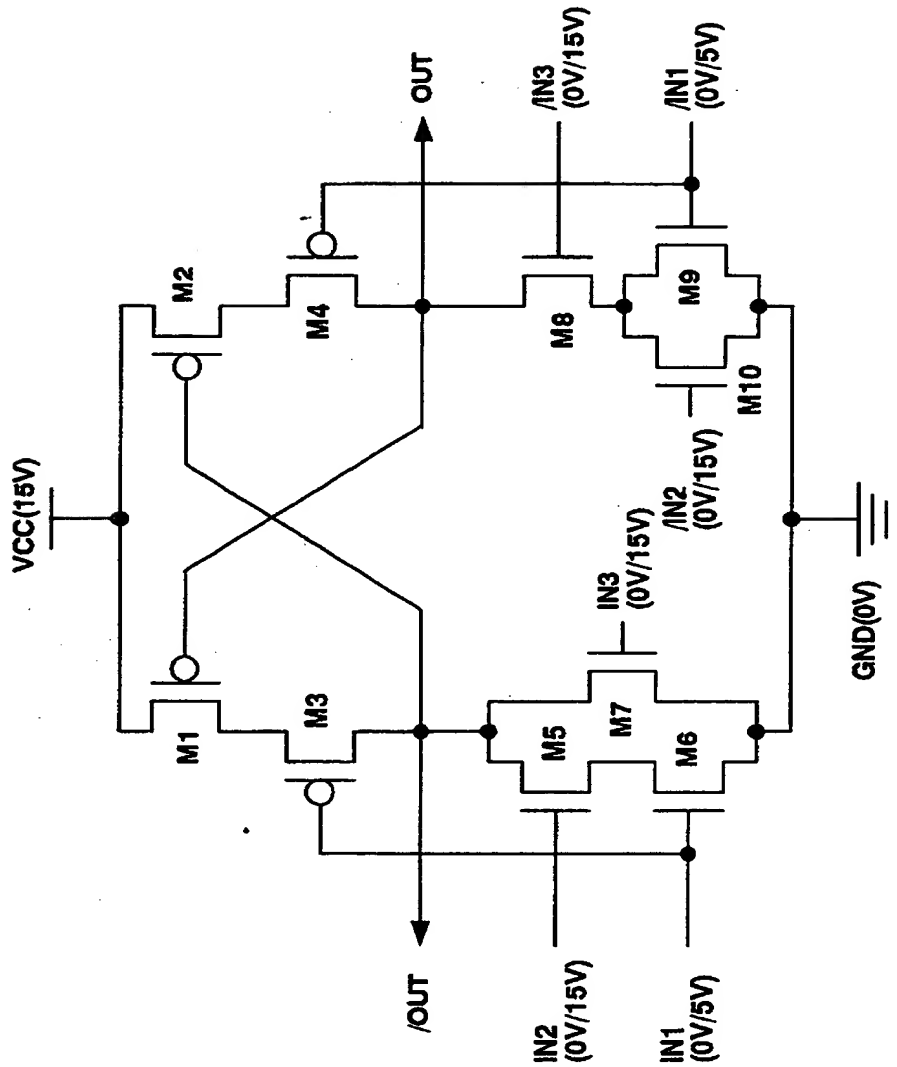
【図 1 0】



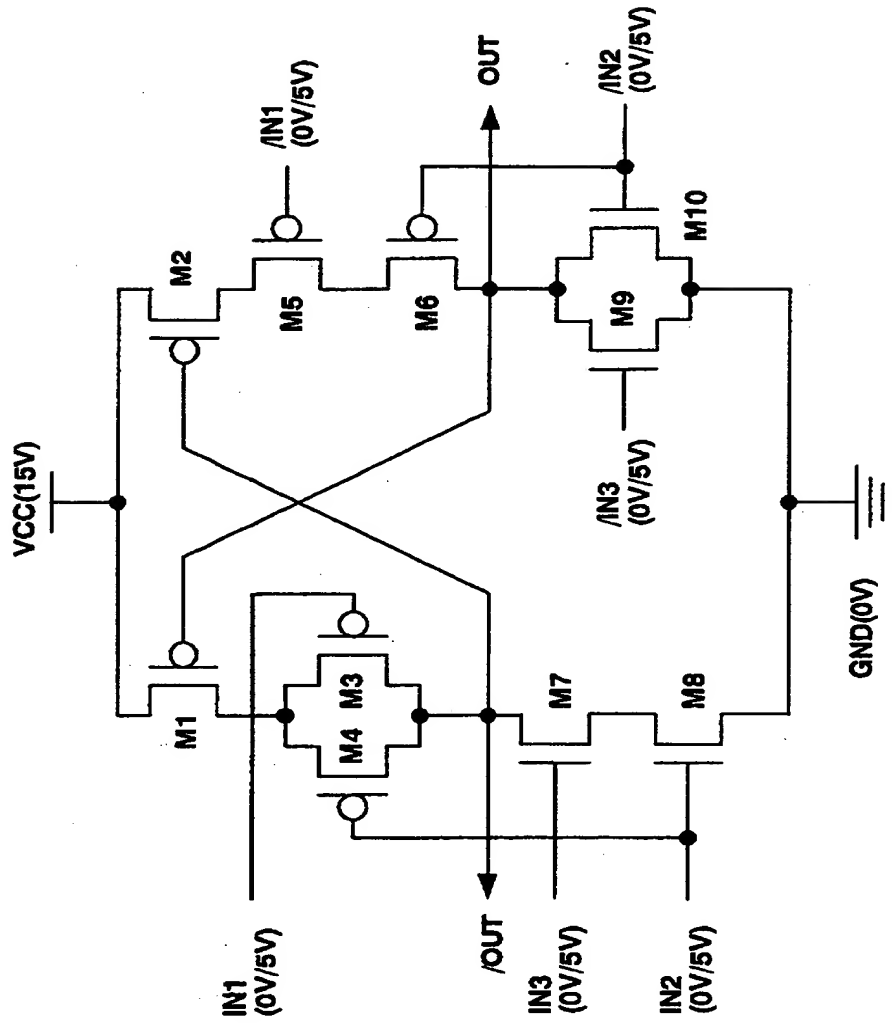
【図 1 1】



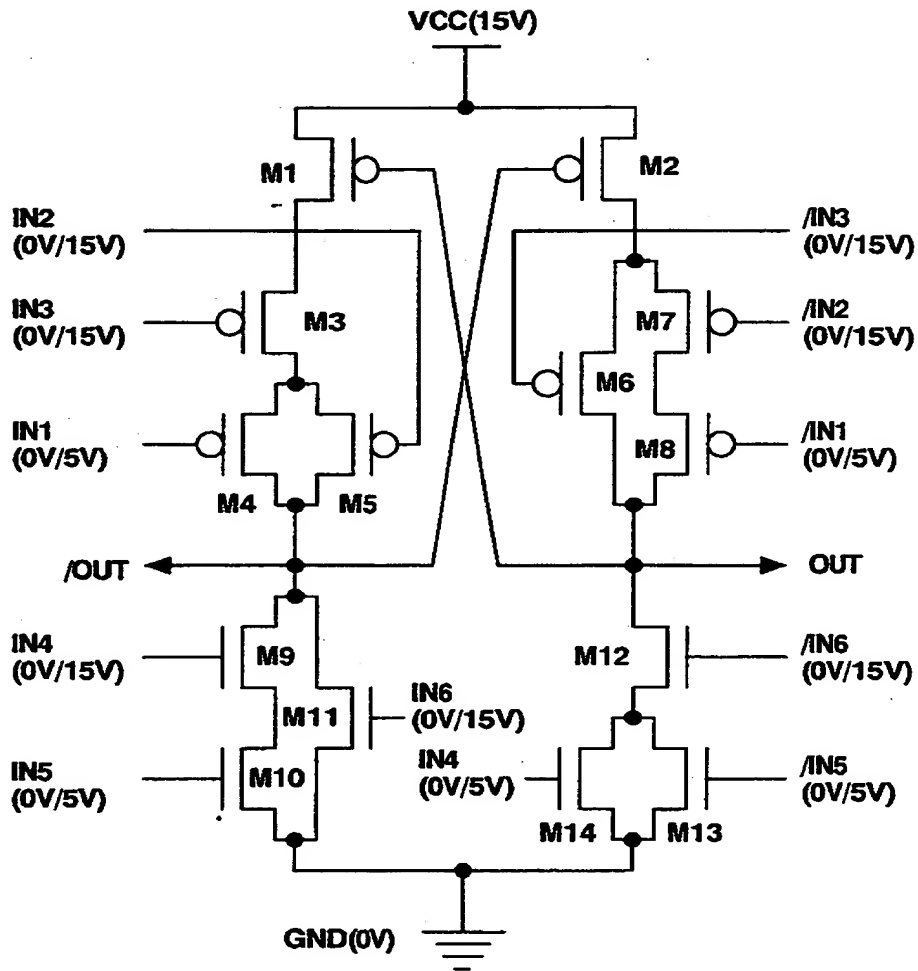
【図 1 2】



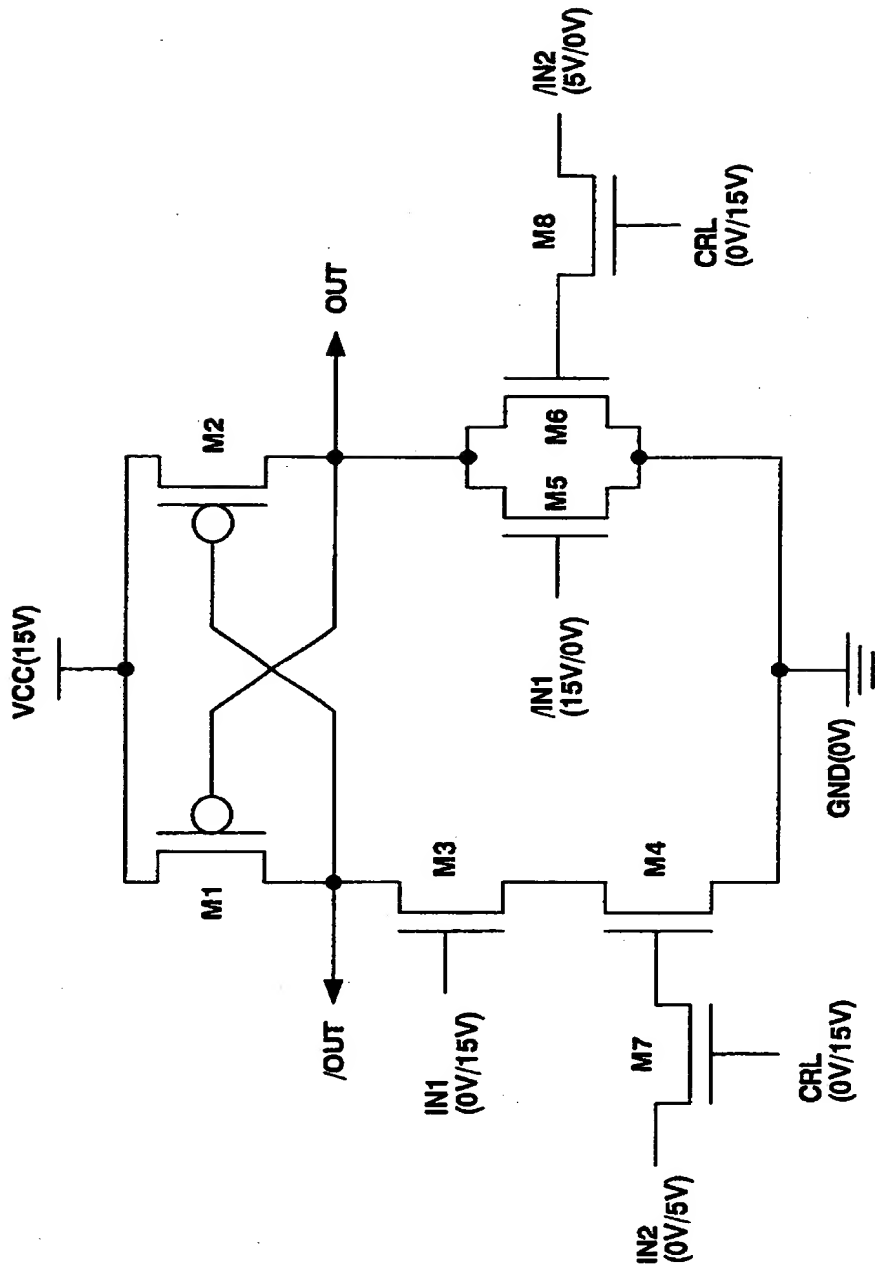
【図 1 3】



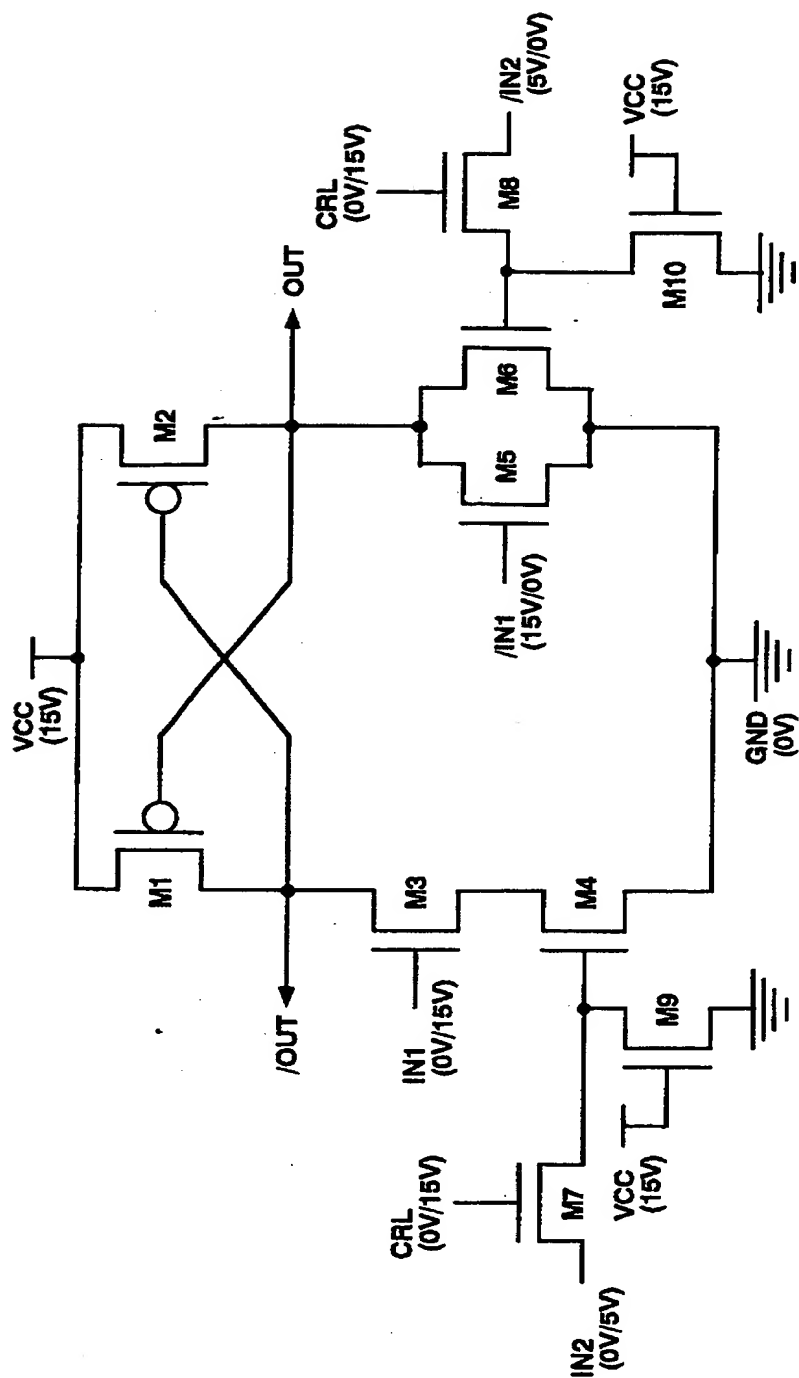
【図 1 4】



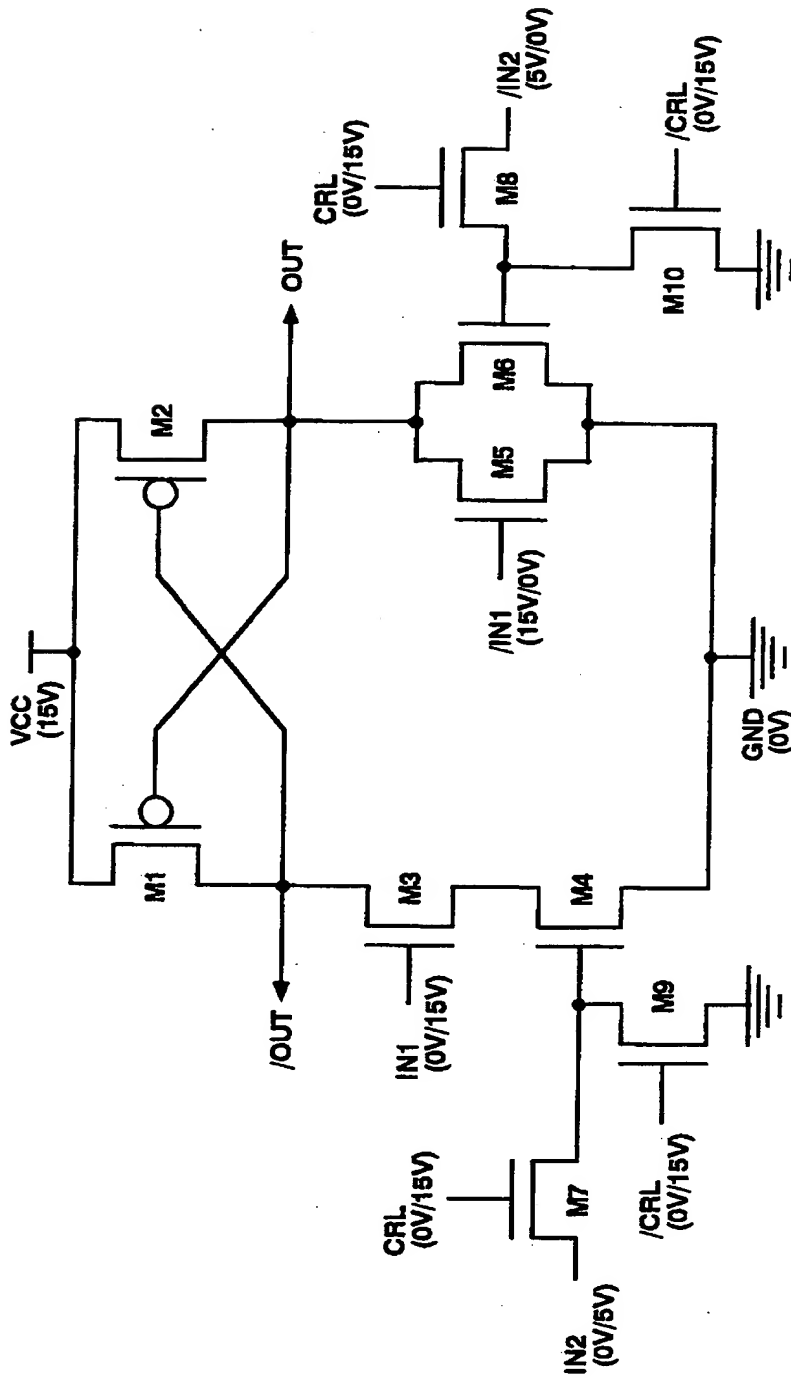
【図 1 5】



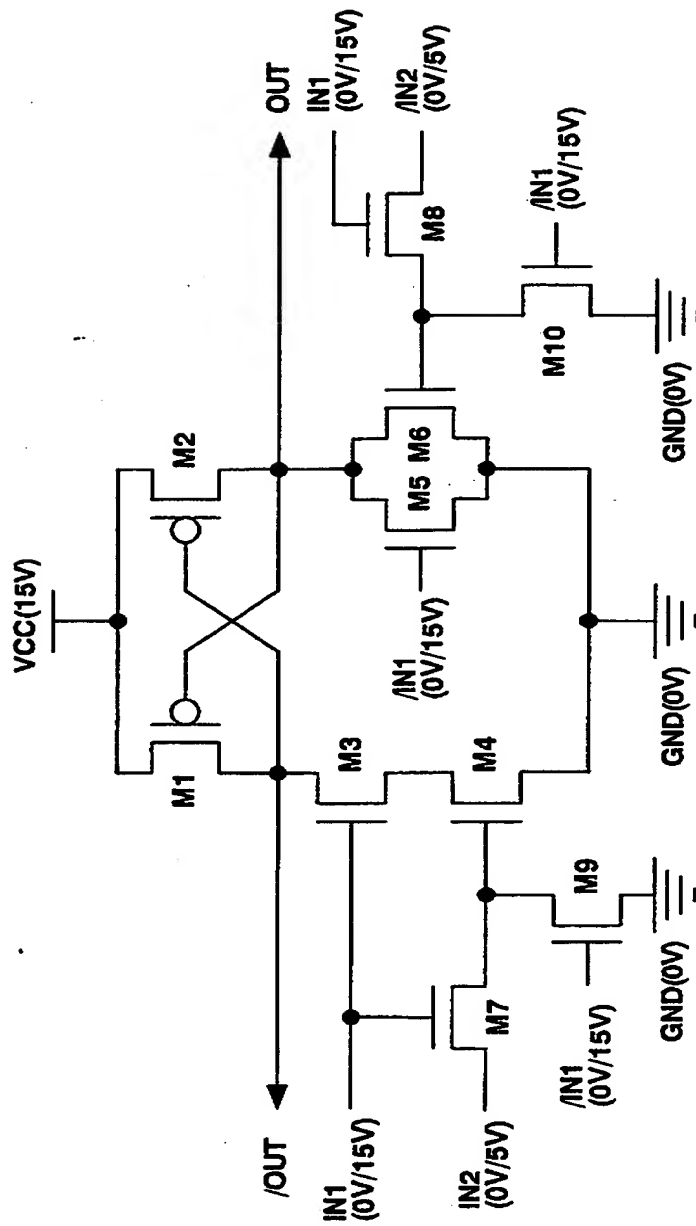
【図 16】



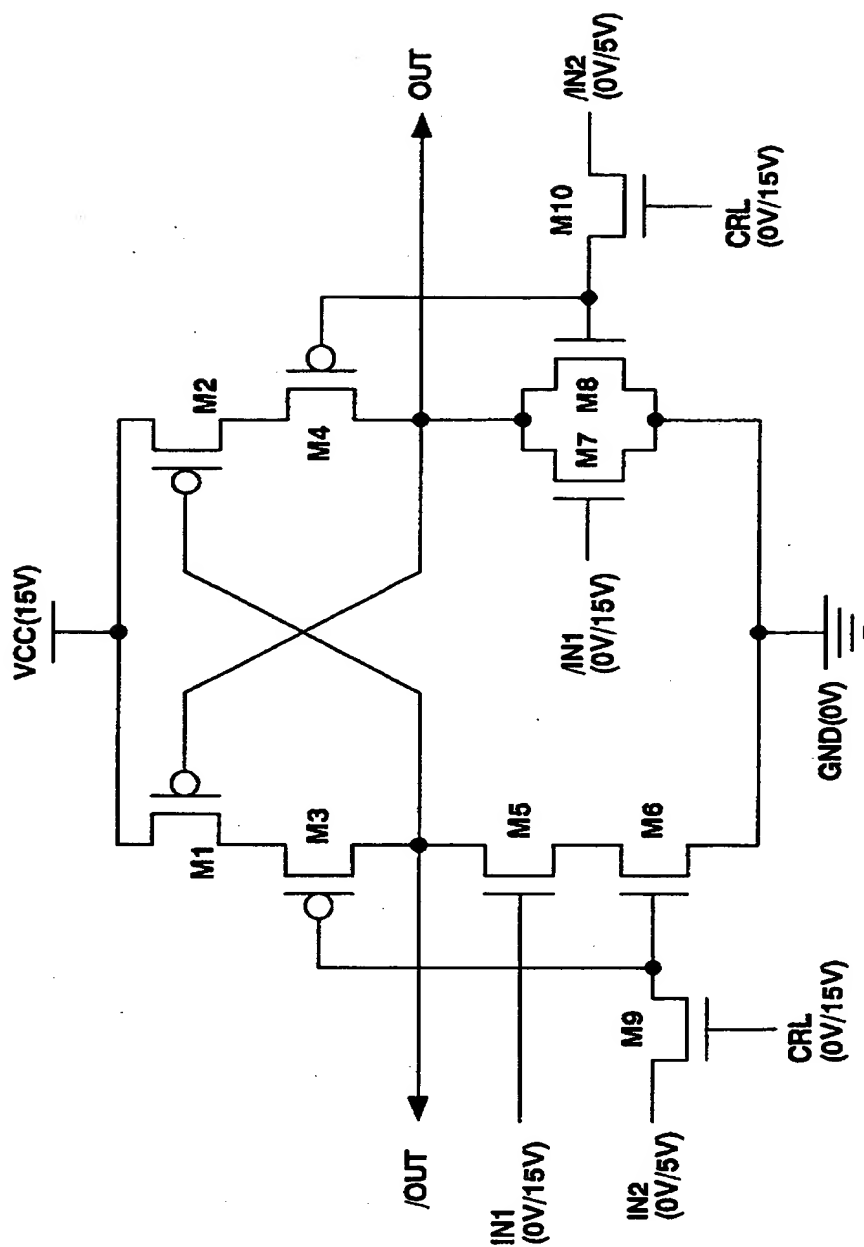
【図 1 7】



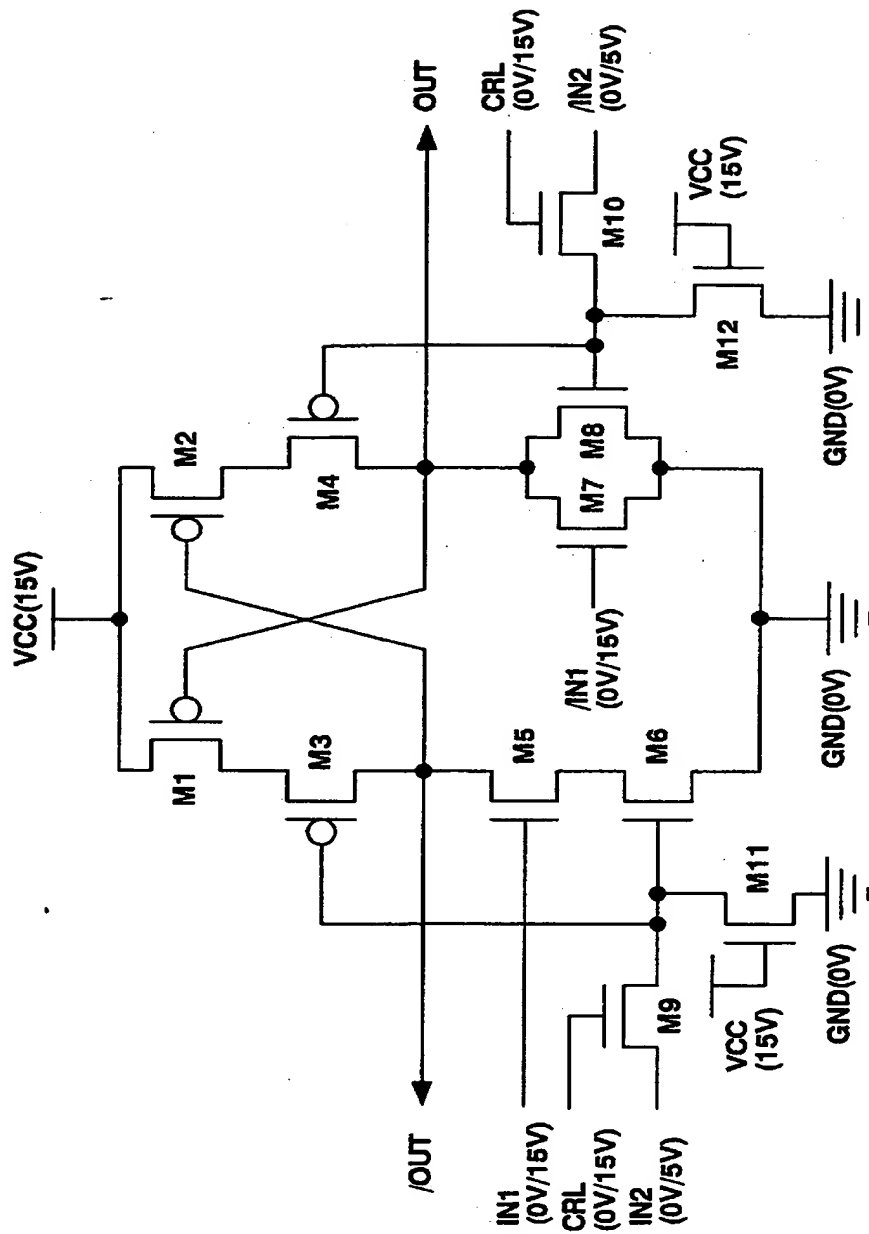
【図 1 8】



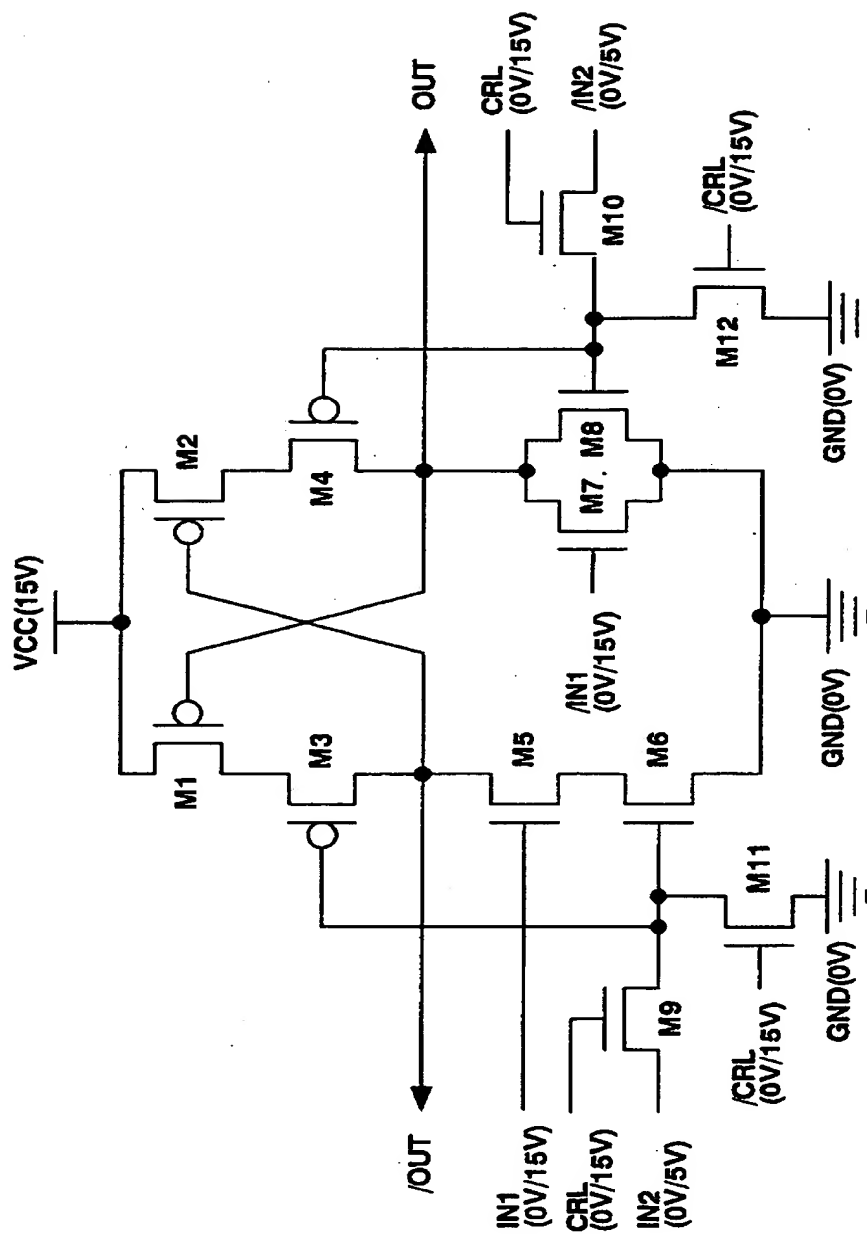
【图 19】



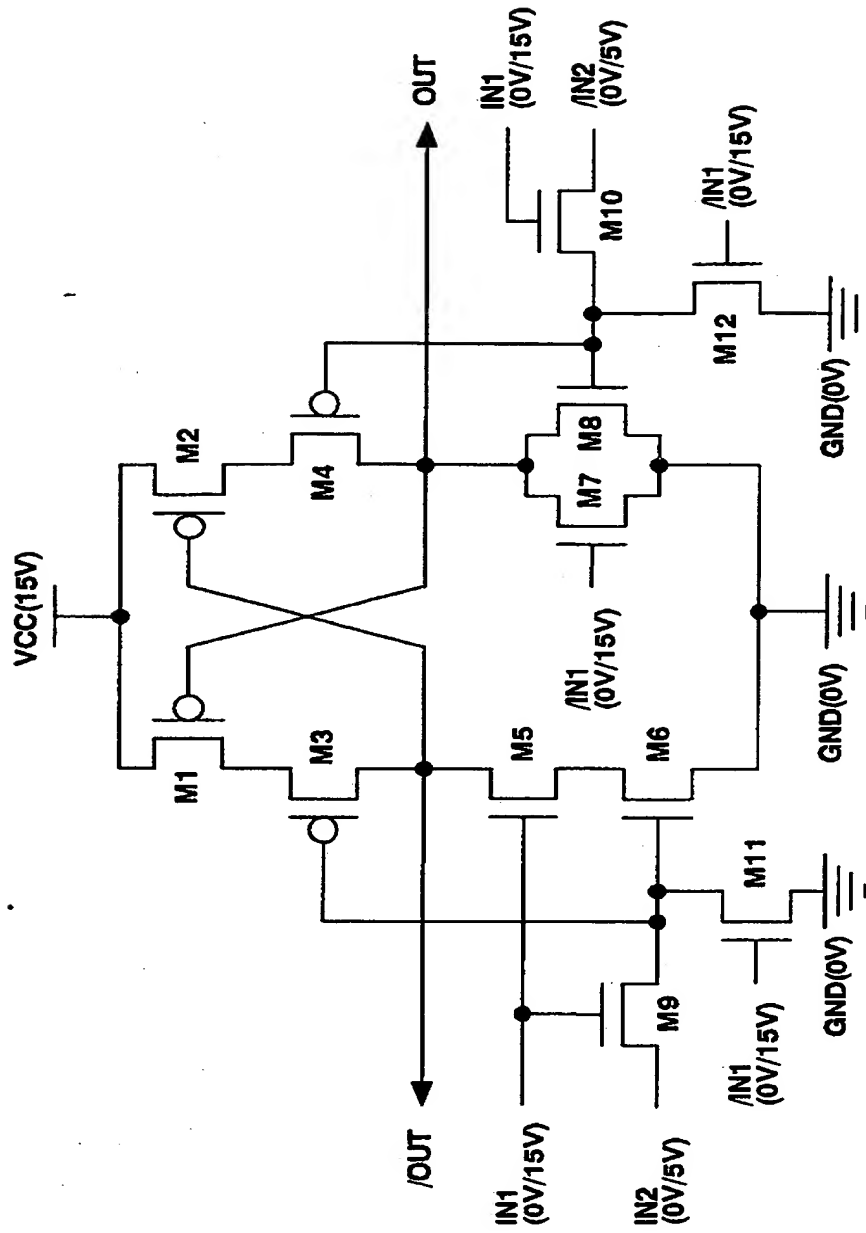
【図 2 0】



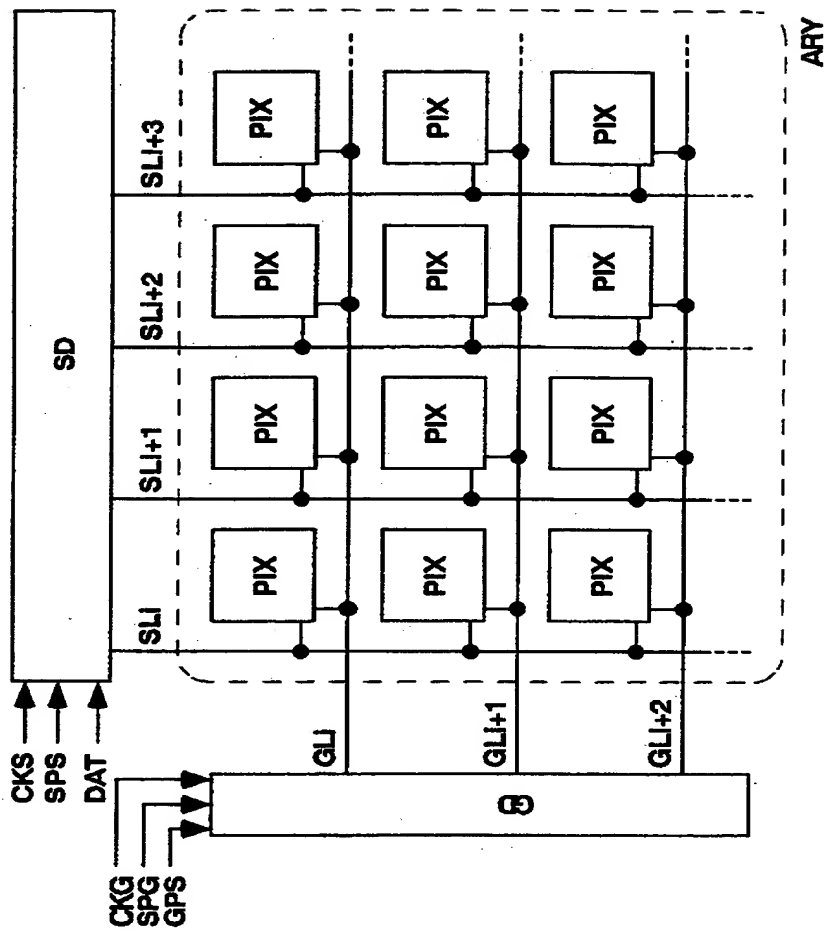
【図 2 1】



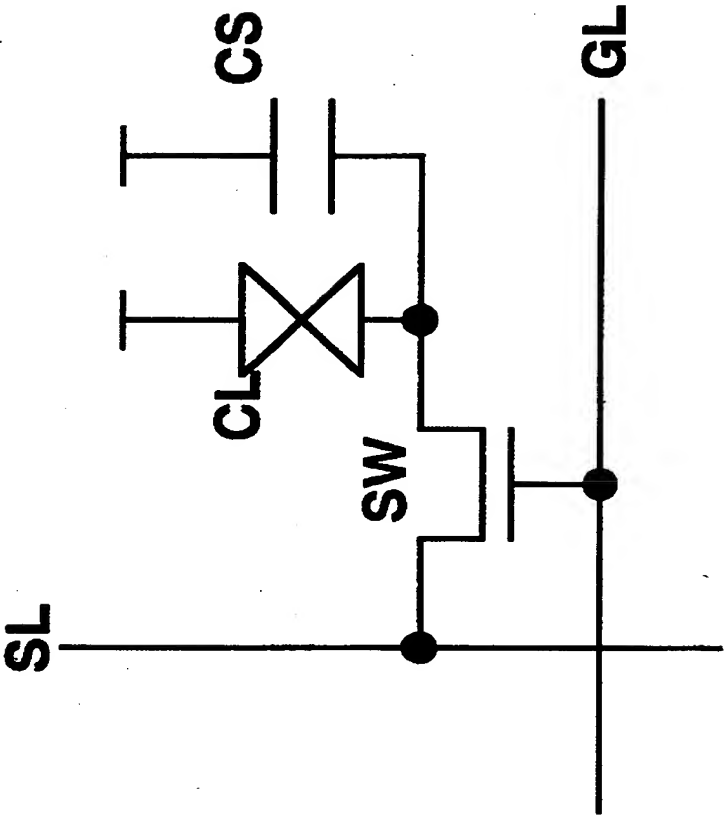
【図 2 2】



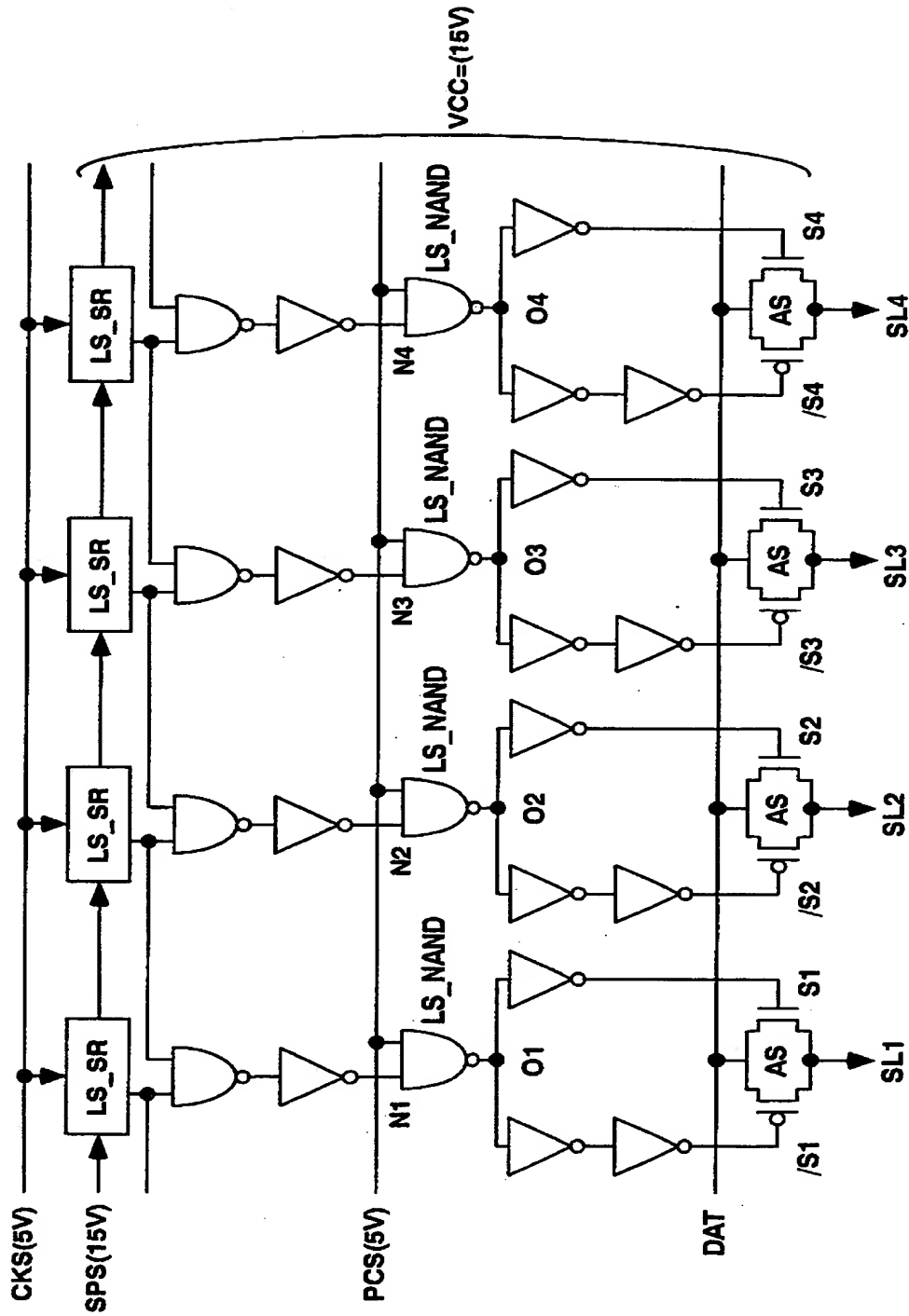
【図 2 3】



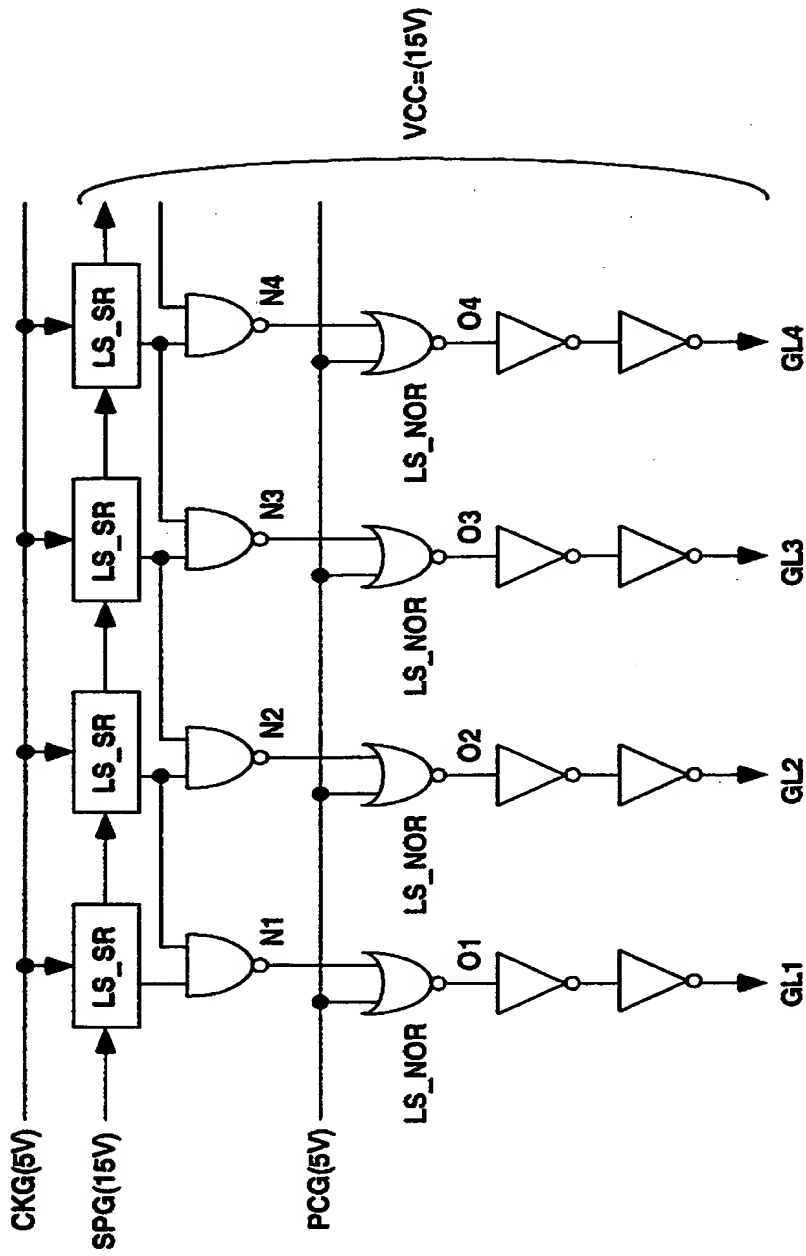
【图 2 4】



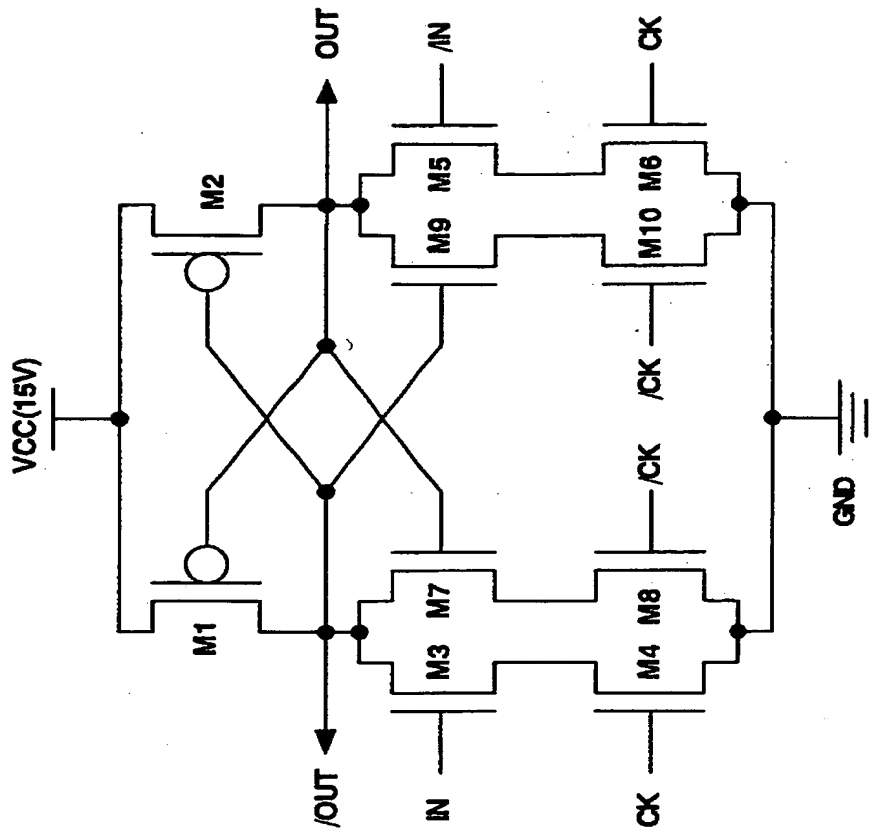
【図 25】



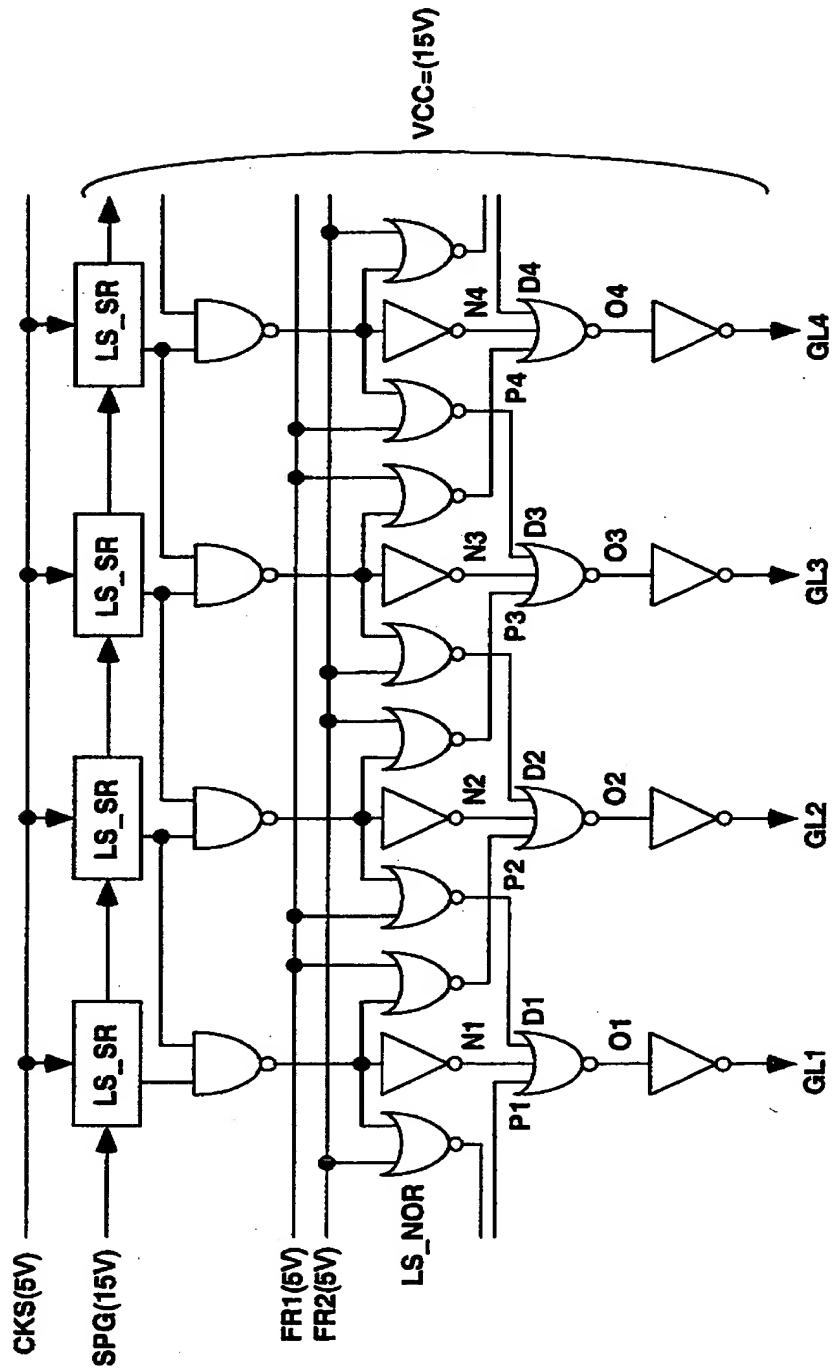
【図 2 6】



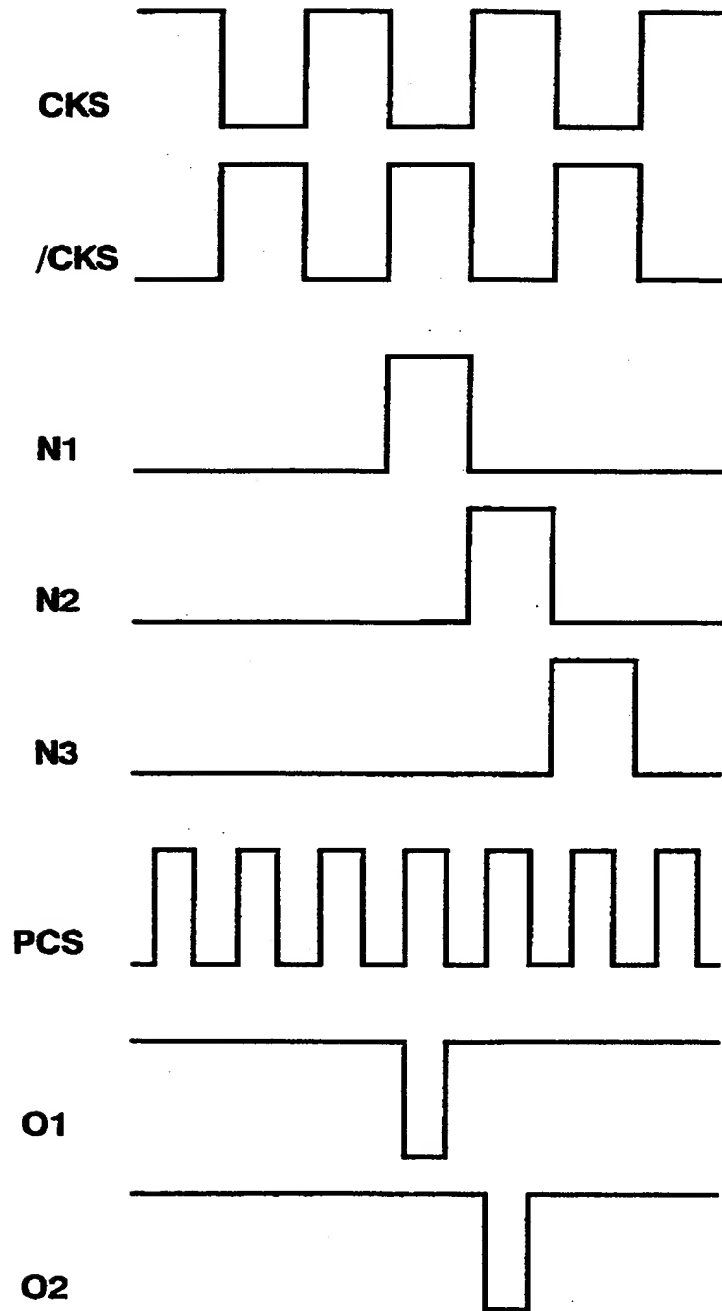
【図 2 7】



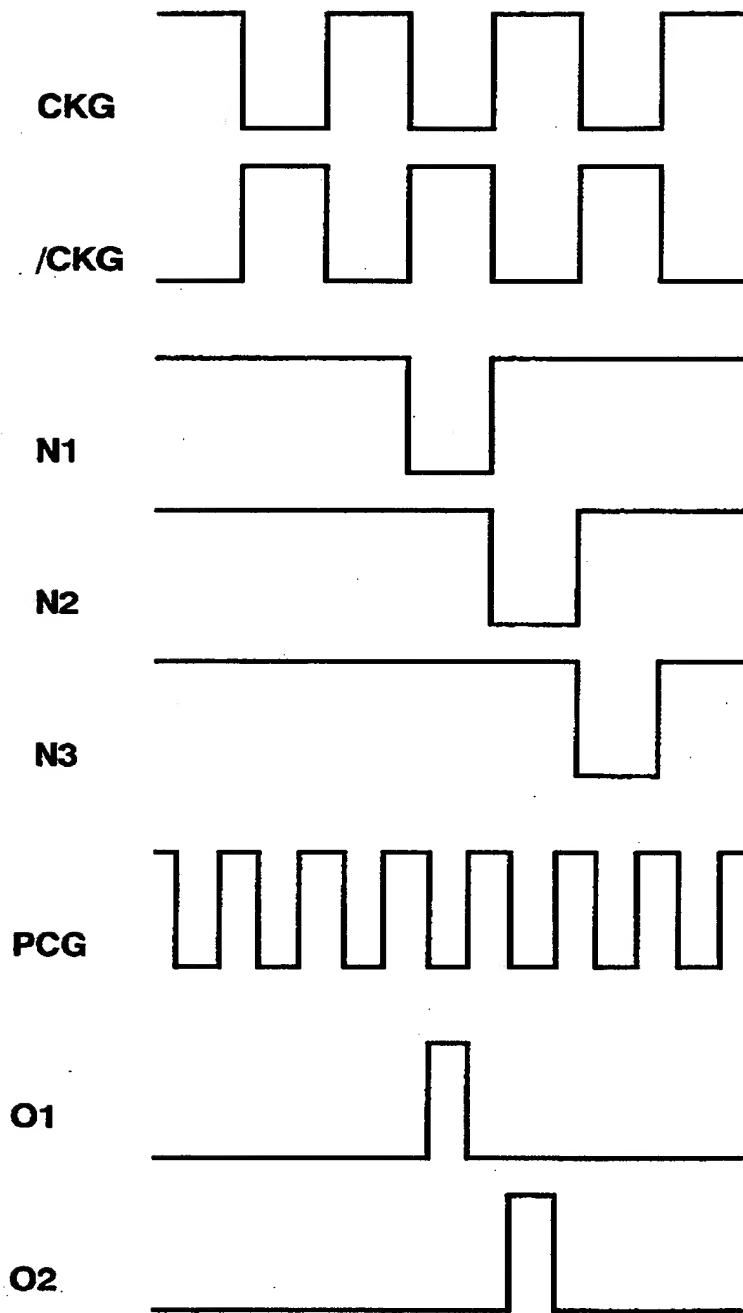
【図 2 8】



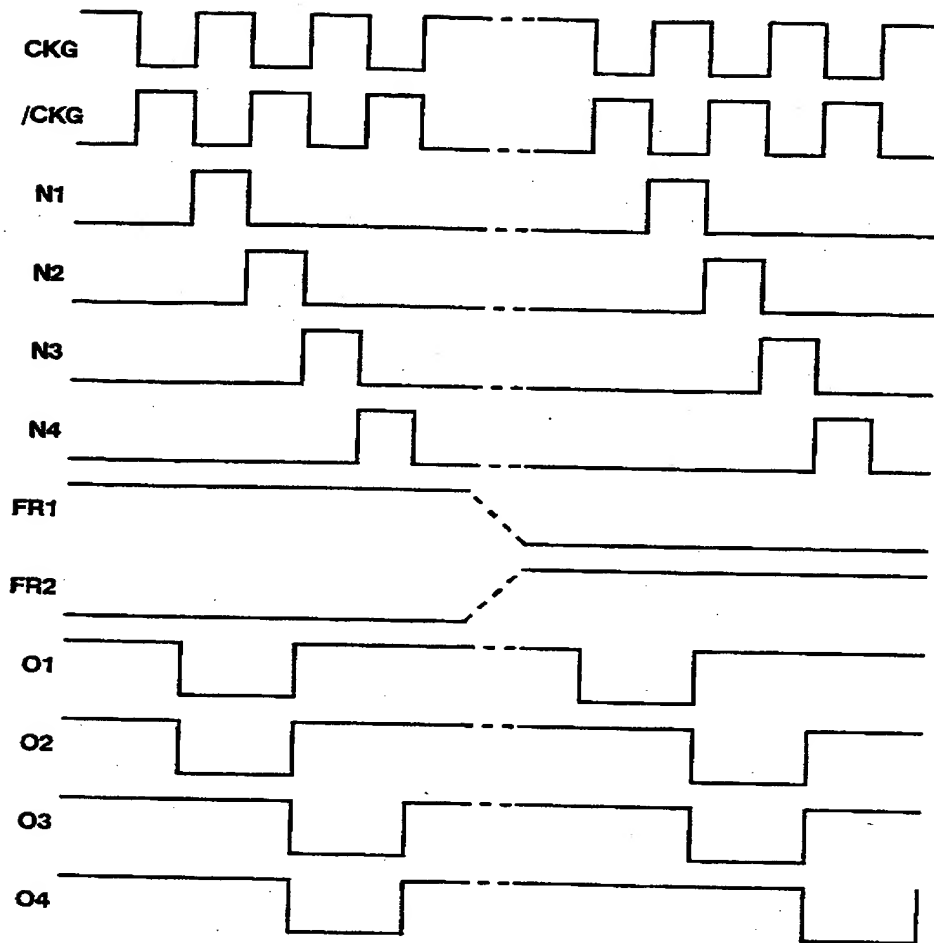
【図 2 9】



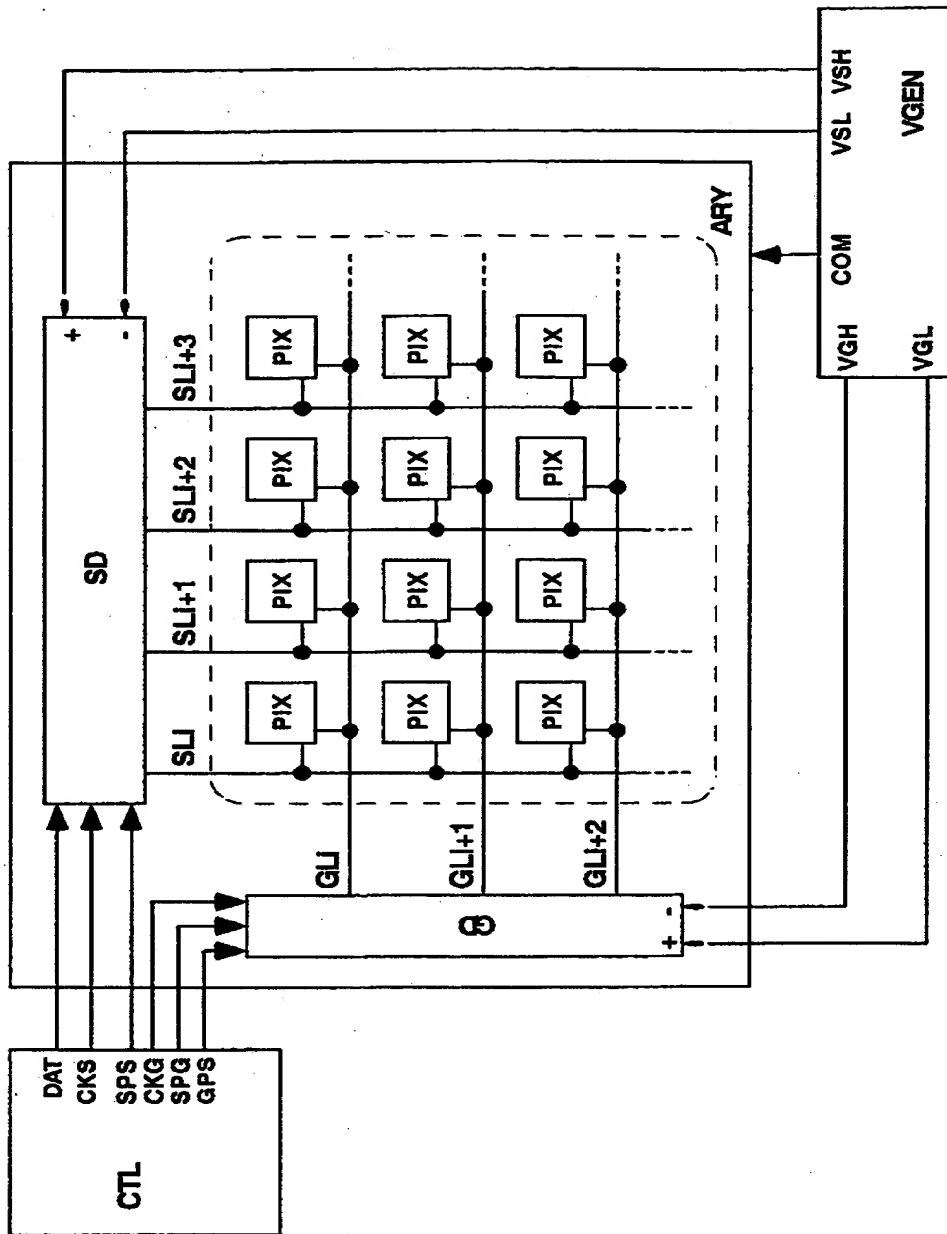
【図 30】



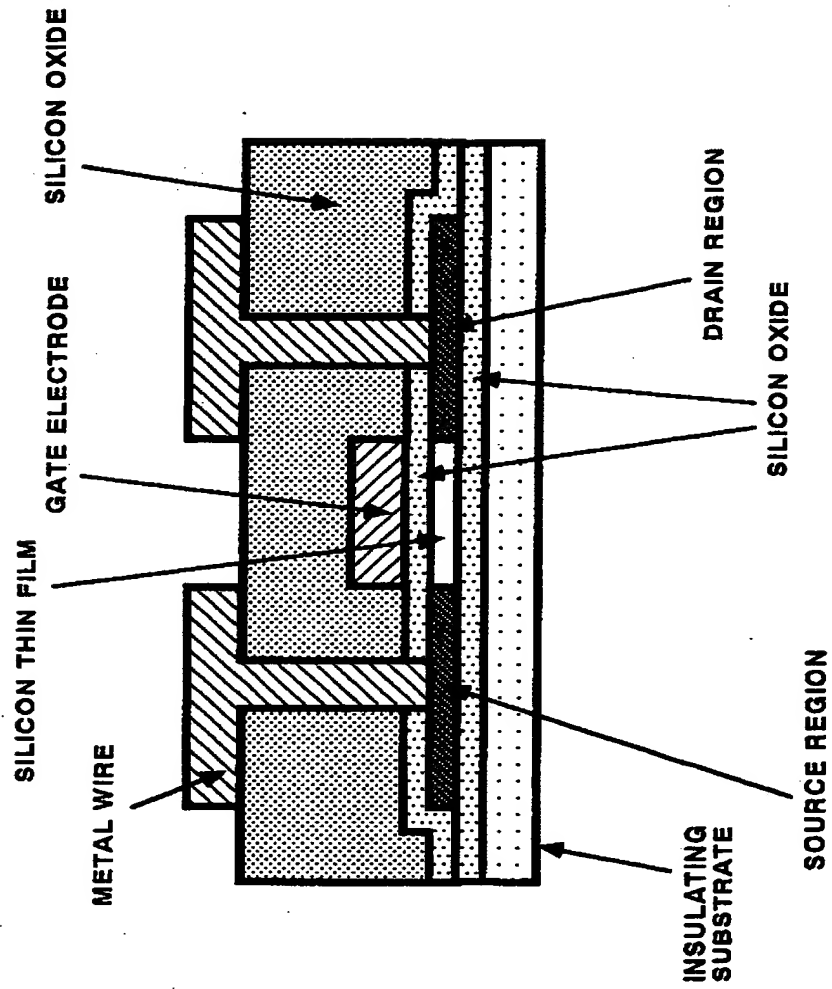
【図 3 1】



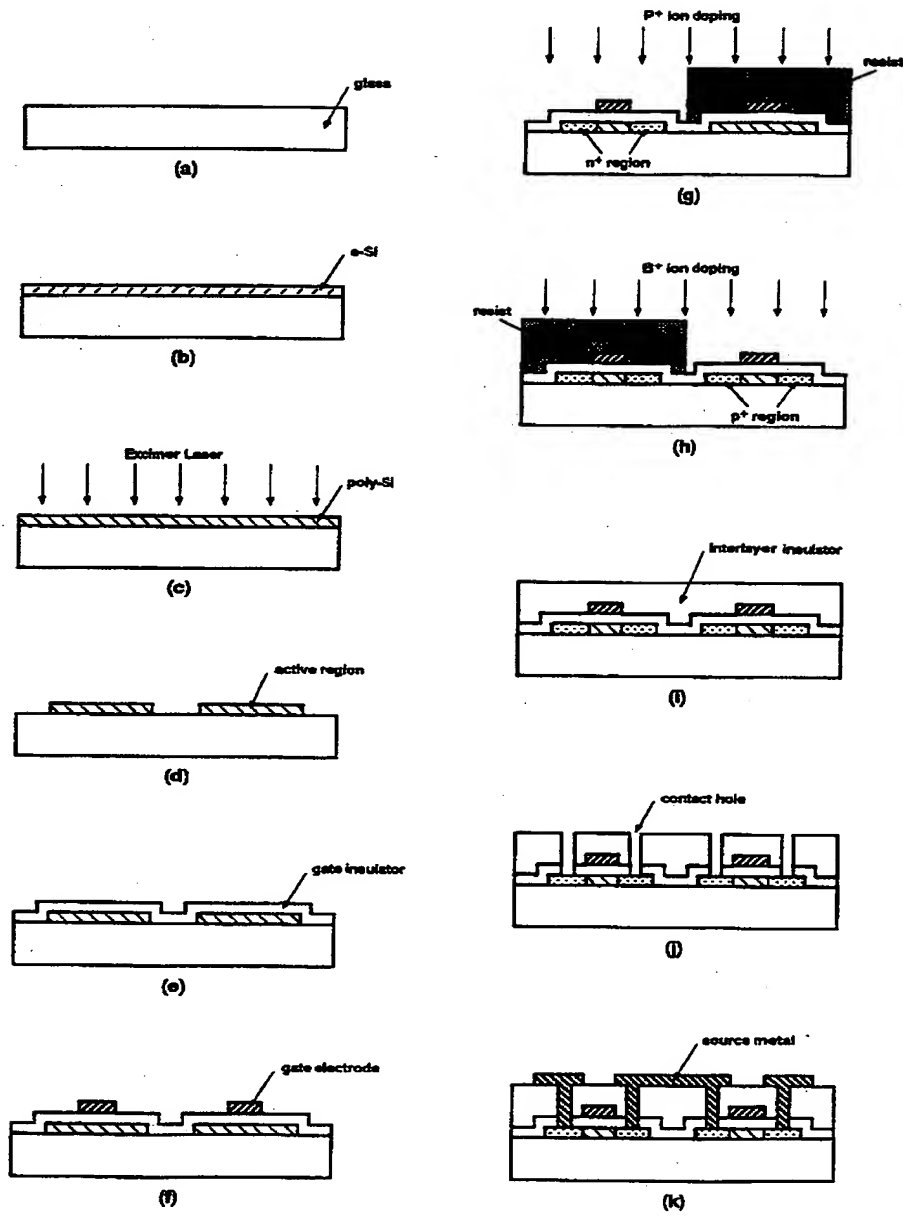
【図 3 2】



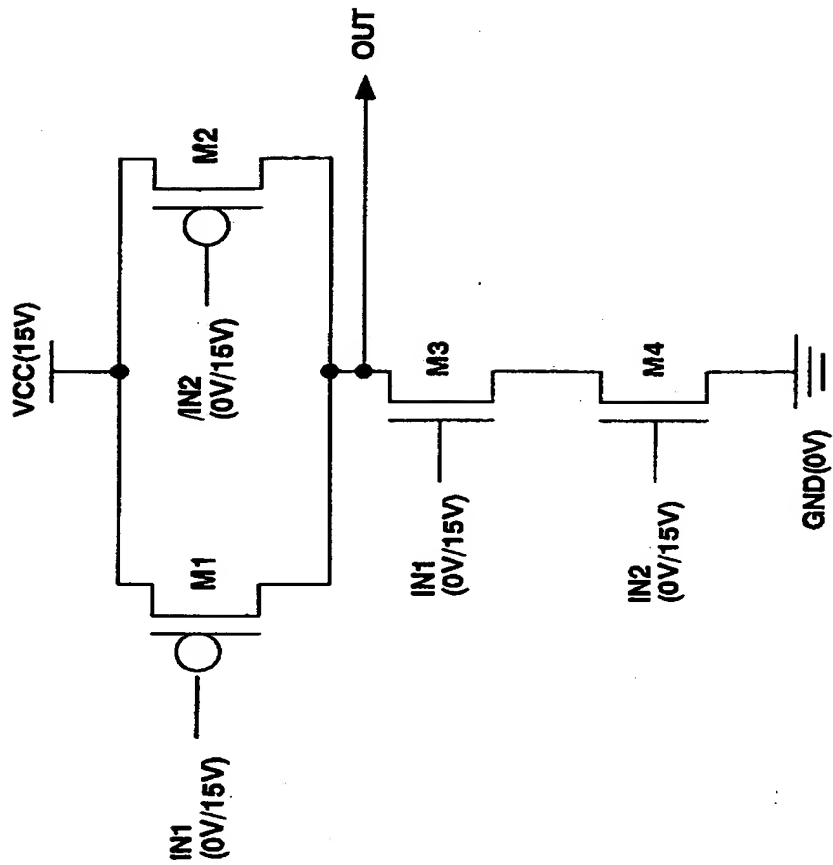
【図 3 3】



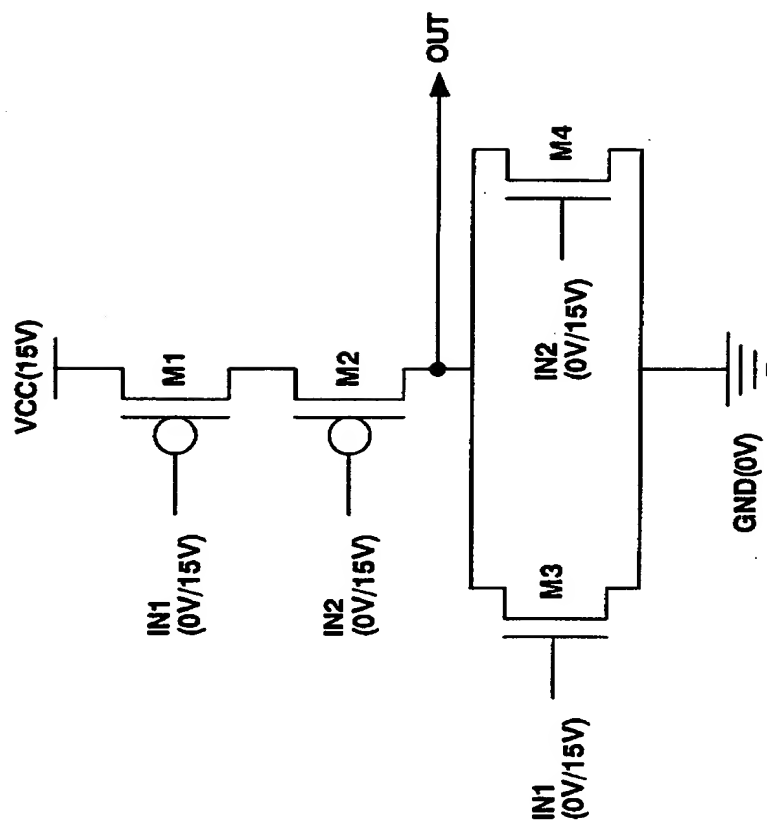
【図 3 4】



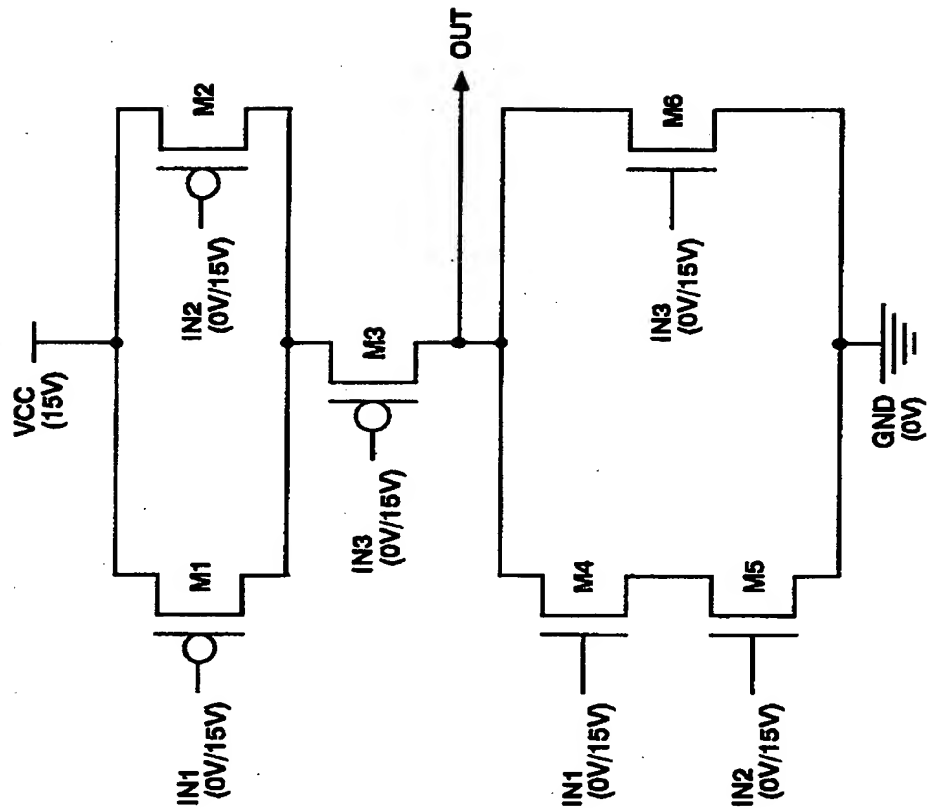
【図 3 5】



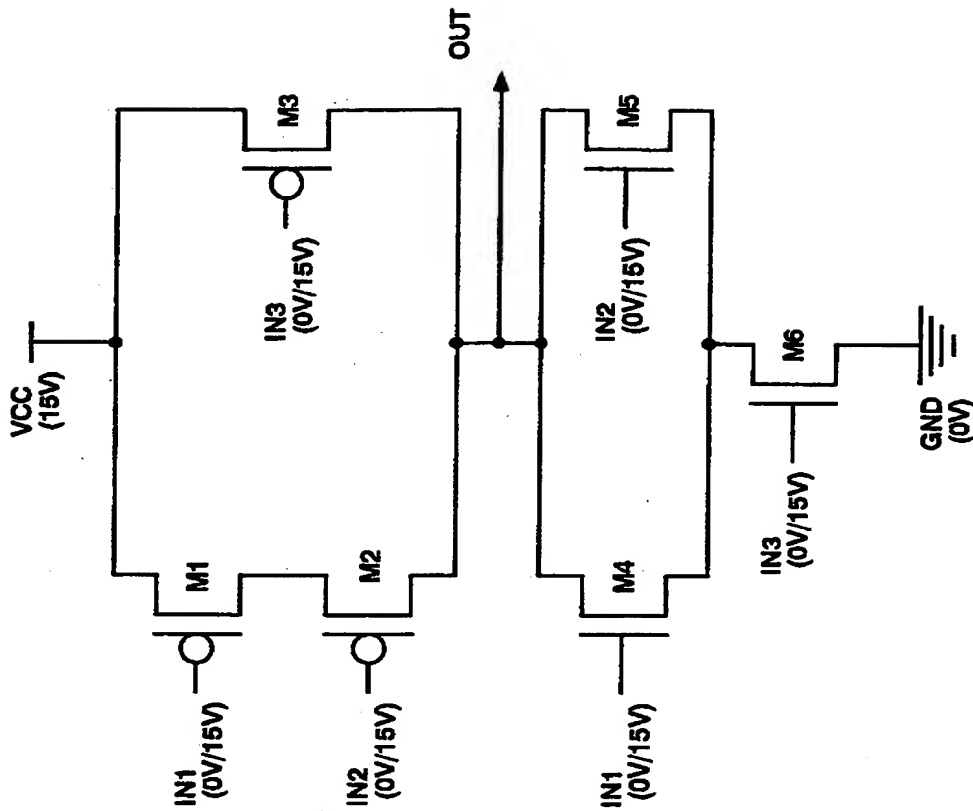
【図 3 6】



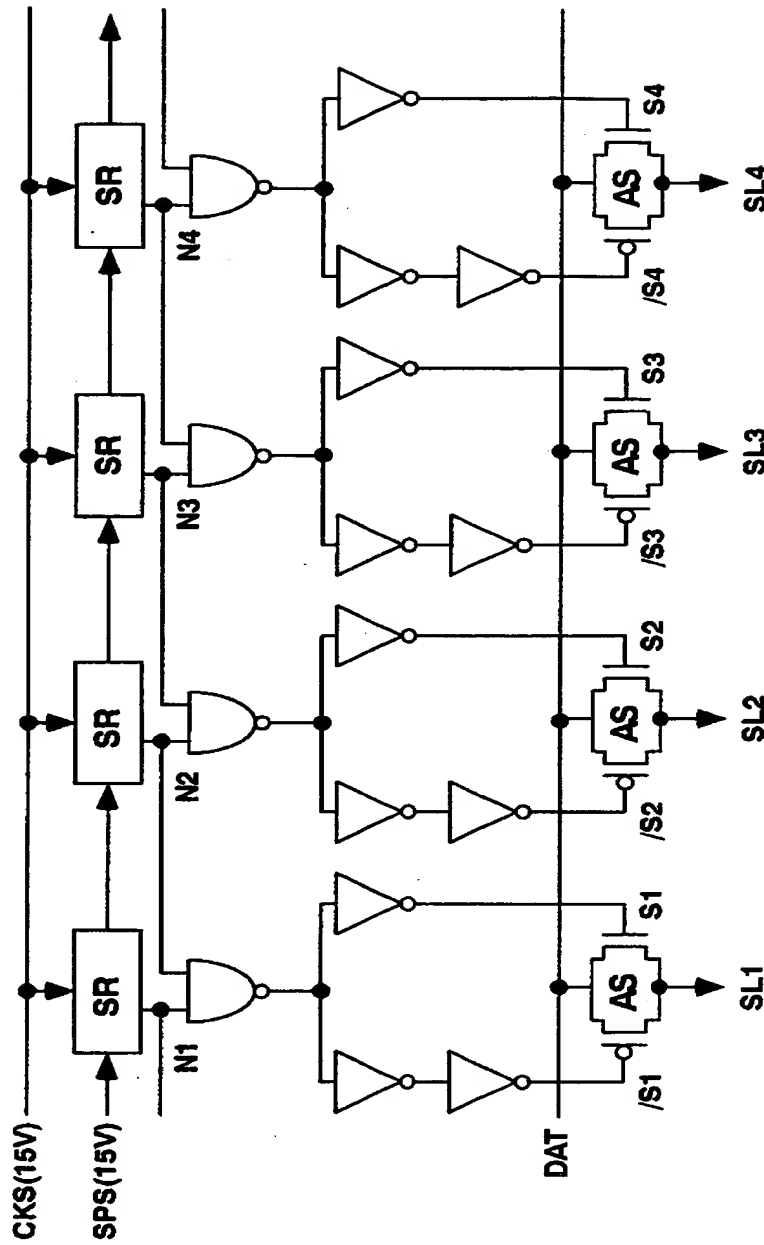
【図 3 7】



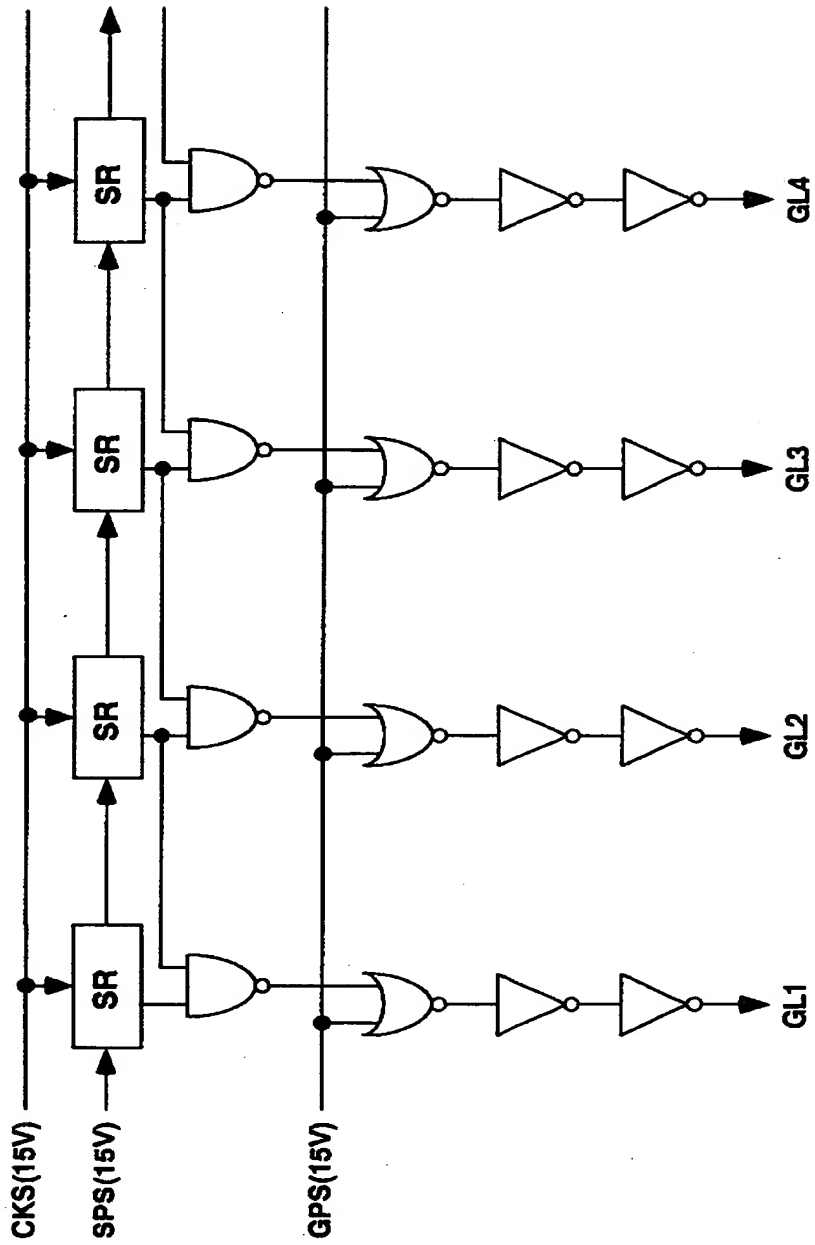
【図 3 8】



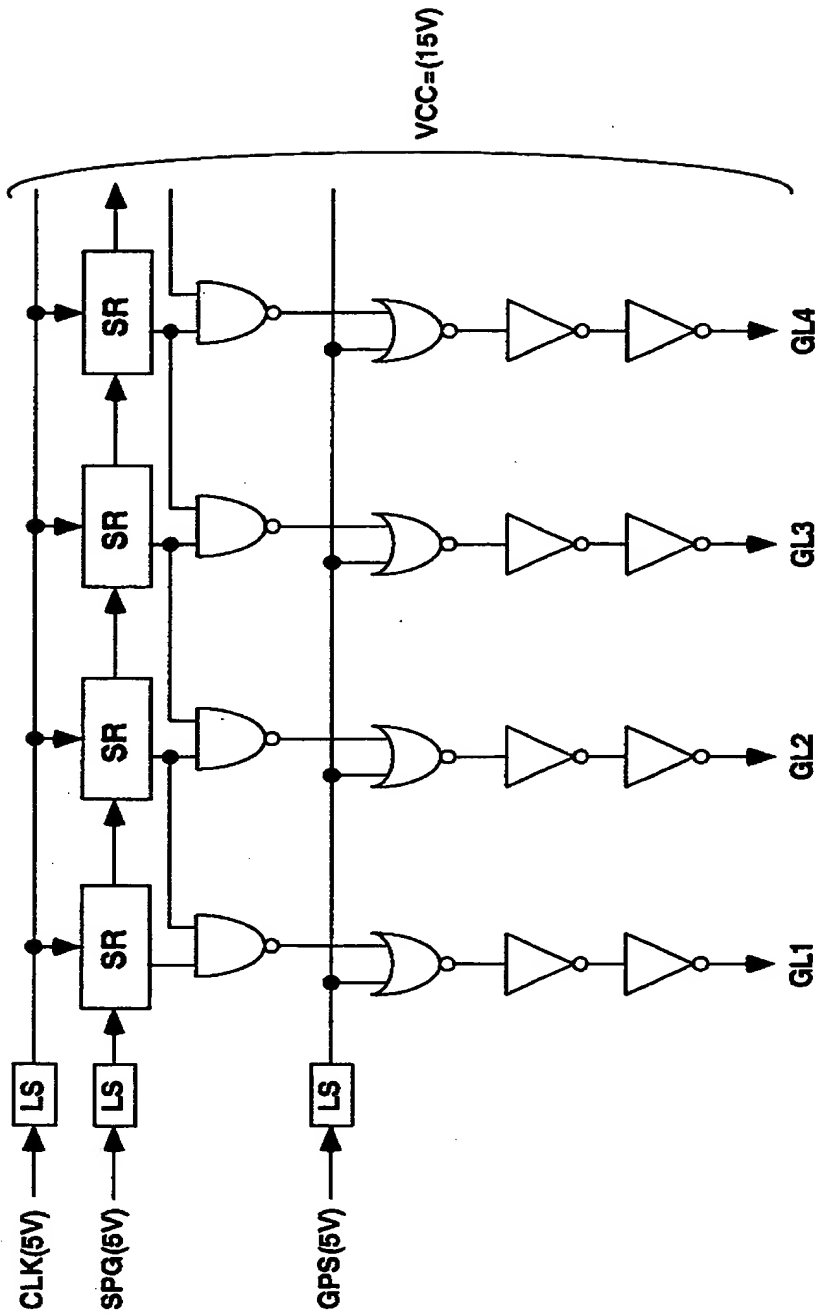
【図 39】



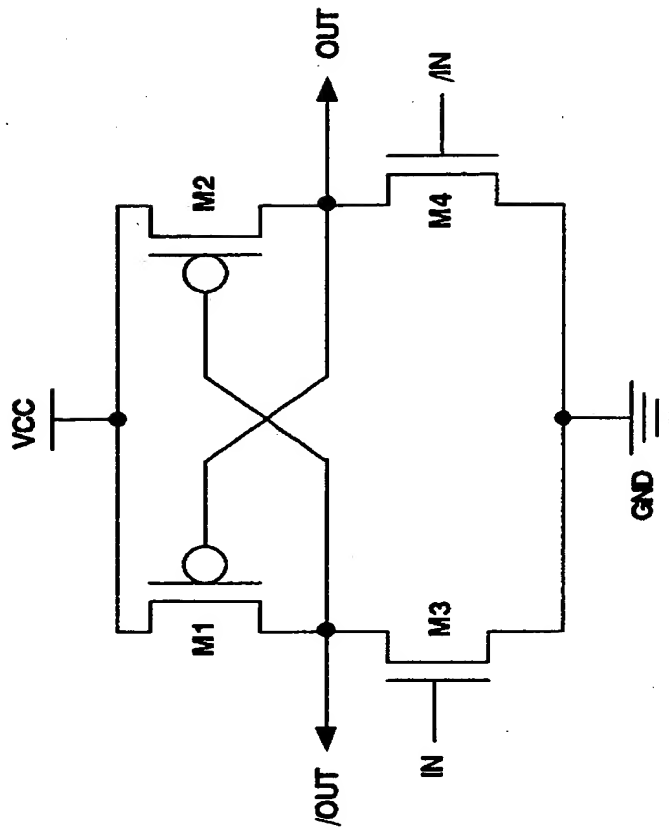
【図 4 0】



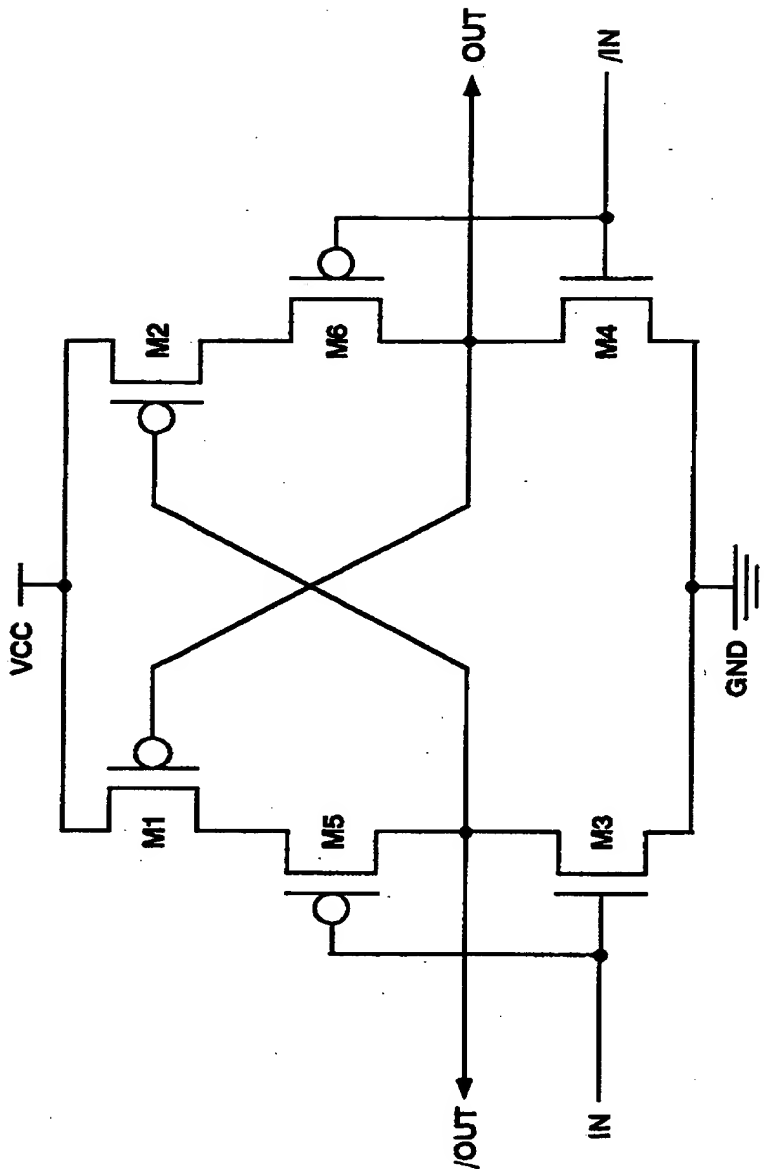
【図 4 1】



【図 4 2】



【図 4 3】



【書類名】 要約書

【要約】

【課題】 画像表示装置の駆動回路等に用いられる論理回路において、入力信号の低電圧化による低消費電力化を図る。

【解決手段】 nチャネル及びpチャネルの何れか一方のトランジスタからなる回路部分において、一方の電流経路には、同様の論理演算結果を出力するCMOSロジック回路のnチャネル型トランジスタからなる回路部分と同一構成の回路が設けられ、他方の電流経路には、同様の論理演算結果を出力するCMOSロジック回路のpチャネル型トランジスタからなる回路部分と同一構成の回路が設けられ、他方の回路部分では、2つの電流経路にそれぞれ設けられたトランジスタのゲート電極が、互いのドレイン電極に相互に接続される構成とすることにより、論理回路の電源電圧よりも小さくし、消費電力を低減すると共に、論理回路の安定動作を実現する。

【選択図】 図 8

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	大阪府大阪市阿倍野区長池町22番22号
氏 名	シャープ株式会社